

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 7 月 22 日 (22.07.2004)

PCT

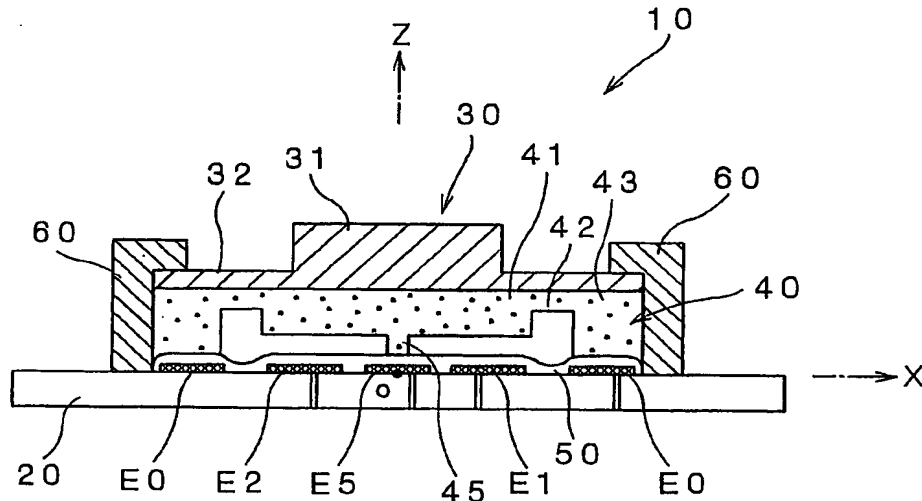
(10) 国際公開番号  
WO 2004/061400 A1

- (51) 国際特許分類<sup>7</sup>: G01L 1/14, 5/16, G06F 3/033
- (21) 国際出願番号: PCT/JP2003/000025
- (22) 国際出願日: 2003 年 1 月 6 日 (06.01.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ニッタ株式会社 (NITTA CORPORATION) [JP/JP]; 〒556-0022 大阪府 大阪市 浪速区 桜川 四丁目 4 番 2 6 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森本 英夫 (MORIMOTO, Hideo) [JP/JP]; 〒639-1085 奈良県 大和郡 山市 池沢町 1 7 2 番地 ニッタ株式会社 奈良工場内
- Nara (JP). 阿賀谷 智宏 (AGAYA, Tomohiro) [JP/JP]; 〒639-1085 奈良県 大和郡 山市 池沢町 1 7 2 番地 ニッタ株式会社 奈良工場内 Nara (JP).
- (74) 代理人: 梶 良之, 外 (KAJI, Yoshiyuki et al.); 〒532-0011 大阪府 大阪市 淀川区 西中島 5 丁目 1 4 番 2 2 号 リクルート新大阪ビル Osaka (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

[続葉有]

(54) Title: CAPACITIVE SENSOR

(54) 発明の名称: 静電容量式センサ



(57) Abstract: Capacitor electrodes (E1-E5) and a grounded reference electrode (E0) are formed on a substrate (20). A displacement electrode (40) that displaces in the Z-axis direction as a sensing member (30) operated from outside moves in the Z-axis direction is disposed in the position opposed to these electrodes (E5-E0). The displacement electrode (40) constitutes capacitors (C0-C5) with the capacitor electrodes (E1-E5) and the reference electrode (E0), respectively. Each of the capacitors (C1-C5) is series-connected to the capacitor (C0) with respect to a signal inputted from outside. Change in the capacitance values of the capacitors (C1-C5) when the sensing member (30) moves are detected by a signal processing circuit having a hysteresis characteristic, so that the displacement of the sensing member (30) is recognized.

[続葉有]



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI  
特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 基板(20)上に容量素子用電極(E1~E5)および接地された基準電極(E0)が形成されている。これらの電極(E0~E5)に対向する位置には、外部から操作される検知部材(30)がZ軸方向に移動するのにもなってZ軸方向に変位する変位電極(40)が配置されている。変位電極(40)は、容量素子用電極(E1~E5)および基準電極(E0)との間で容量素子(C0~C5)をそれぞれ構成している。各容量素子(C1~C5)は外部から入力された信号に対してそれぞれ容量素子(C0)と直列に接続された関係となり、検知部材(30)が移動したときの容量素子(C1~C5)の静電容量値の変化が、ヒステリシス特性を有する信号処理回路によって検出されることにより、検知部材(30)の変位が認識される。

## 明 細 書

## 静電容量式センサ

## 5 技術分野

本発明は、多次元方向の操作入力を行うために用いて好適な静電容量式センサに関する。

## 背景技術

- 10 静電容量式センサは、操作者が加えた力の大きさおよび方向を電気信号に変換する装置として利用されている。例えば、ゲーム機器の入力装置として、多次元方向の操作入力を行うための静電容量式力覚センサ（いわゆるジョイスティック）として組み込んだ装置が利用されている。
- 15 静電容量式センサでは、操作者から伝えられた力の大きさとして、所定のダイナミックレンジをもった操作量を入力することができる。また、加えられた力を各方向成分ごとに分けて検出することが可能な二次元または三次元力覚センサとしても利用されている。特に、2枚の電極によって静電容量素子を形成し、電極間隔の変化に起因する静
- 20 電容量値の変化に基づいて力の検出を行う静電容量式力覚センサは、構造を単純化してコストダウンを図ることができるメリットがあるために、さまざまな分野で実用化されている。

- 静電容量式センサとして、相反する方向成分の力を検出するための一対の固定電極と、これらの電極に対向するように配置された変位電
- 25 極とを備えたものが知られている。この静電容量式センサでは、一方の固定電極と変位電極との間で構成される容量素子および他方の固定

- 電極と変位電極との間で構成される容量素子の静電容量値の変化に基づいて外部から加えられた力が検出される。ここで、一对の固定電極に対してはそれぞれ信号が入力されており、これらの信号はそれぞれの容量素子の静電容量値の変化に基づく遅延が生じた後で、排他和回路などで読み取られることによって出力信号が導出される。

- しかしながら、上述の静電容量式センサが有する感度特性では、各方向成分の力を十分に検出することができないことがある。また、それぞれの固定電極に入力される信号に対してノイズが乗っている場合には、誤った出力信号が検出されることによって、センサが誤作動を起こしてしまう。

そこで、本発明の主な目的は、感度特性が優れているとともに、ノイズの影響を受けにくい静電容量式センサを提供することである。

#### 発明の開示

- 15 本発明の静電容量式センサは、導電性部材と、前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、前記導電性部材と電氣的に接続されるとともに、接地または一定の電位に保持された基準電極とを備えている。また、請求項1の静電容量式センサは、前記第1の電極に対して入力される信号を利用して前記第1の容量素子の
- 20 静電容量値の変化が検出されることに基づいて外部から作用した力を認識可能である。そして、請求項1の静電容量式センサは、対となる2つの前記容量素子用電極を有しており、これら一对の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出さ
- 25 れることを特徴としたものである。

このような構成にすることにより、ヒステリシス特性を有する信号

- 処理回路では、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、第1の容量素子の静電容量値の変化に対応する出力信号の変化が大きくなる。従って、出力信号がヒステリシス特性を有さない信号処理回路により検出される場合と比較して、センサとしての感度特性が向上する。

また、入力信号にノイズが乗っている場合でも、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、誤った出力信号が検出されるのが抑制される。これにより、ノイズの影響によるセンサの誤作動を防止することができる。

- 10 また、本発明の静電容量式センサでは、前記基準電極と前記導電性部材との間に、第2の容量素子が構成されていてもよい。

- これによると、第1および第2の容量素子を構成するために共通に用いられる導電性部材が、直接接触することによってではなく、容量結合によって接地または一定の電位に保持された基準電極と電気的に結合される。そのため、センサの耐電圧特性が向上し、スパーク電流が流れることによってセンサが破損することがほとんどなくなるとともに、接続不良などの不具合を防止することができる。そのため、信頼性の高い静電容量式センサを得ることができる。それとともに、第1および第2の容量素子が直列に接続された関係となるので、容量素子用電極および基準電極を支持する基板などの部材だけに配線を設ければ、導電性部材を接地または一定の電位に保持するための配線を別途設ける必要がない。そのため、構造が簡単な静電容量式センサを少ない製造工程数で製造することが可能となる。

- 25 また、本発明の静電容量式センサは、XYZ三次元座標系を定義したときに、XY平面を規定する基板と、前記基板と対向している検知部材と、前記基板と前記検知部材との間に位置し、前記検知部材がZ

- 軸方向に変位するのにもなってZ軸方向に変位する導電性部材と、前記基板上に形成され、前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、前記基板上に形成され、前記導電性部材との間で第2の容量素子を構成する接地または一定の電位に保持された
- 5 基準電極とを備えている。また、請求項3の静電容量式センサは、前記第1の容量素子と前記第2の容量素子とが前記容量素子用電極に対して入力される信号に対して直列に接続された関係となり、前記導電性部材と前記容量素子用電極との間隔の変化に起因する前記第1の容量素子の静電容量値の変化が検出されることに基づいて前記検知部材
- 10 の変位を認識可能である。そして、請求項3の静電容量式センサは、対となる2つの前記容量素子用電極を有しており、これら一对の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴としたものである。
- 15 このような構成にすることにより、請求項1と同様に、出力信号がヒステリシス特性を有する信号処理回路により検出されるため、ヒステリシス特性を有さない信号処理回路により検出される場合よりも、センサとしての感度特性を向上させることができる。また、請求項2と同様に、信頼性の高い静電容量式センサを得ることができる。
- 20 また、本発明の静電容量式センサでは、前記容量素子用電極が、Y軸に対して線対称に配置された一对の第1の容量素子用電極と、X軸に対して線対称に配置された一对の第2の容量素子用電極と、原点近傍に配置された第3の容量素子用電極を有していてもよい。
- このような構成によると、検知部材が外部から受けた力のX軸方向
- 25 、Y軸方向およびZ軸方向の方向成分をそれぞれ別々に認識することができる。なお、第3の容量素子用電極は、Z軸方向の成分を認識す

るために使用しないで、入力の設定操作に使用してもよい。

また、本発明の静電容量式センサでは、前記信号処理回路は、入力信号増加時のしきい値が入力信号減少時のしきい値よりも大きいものであってもよい。また、本発明の静電容量式センサでは、前記信号処理回路が、排他的論理和演算、論理和演算、論理積演算、論理積演算  
5 および否定演算のいずれかを行うシュミット・トリガ型論理素子を利用したものでもあってもよい。また、本発明の静電容量式センサでは、前記信号処理回路が、シュミット・トリガ型バッファ素子を利用したものでもあってもよい。また、本発明の静電容量式センサでは、前記信号  
10 処理回路が、シュミット・トリガ型インバータ素子を利用したものでもあってもよい。また、本発明の静電容量式センサでは、前記信号処理回路が、ヒステリシスコンパレータを利用したものでもあってもよい。このような構成によると、出力信号を精度よく検出することができ、さらに必要に応じて検出精度または検出感度を調整することができる。  
15 る。

また、本発明の静電容量式センサでは、前記一对の容量素子用電極の一方を含む回路および他方を含む回路に、互いに位相が異なる信号が供給されてもよい。このような構成によると、一对の容量素子用電極の一方を含む回路および他方を含む回路の時定数が同じものである  
20 かどうかにかかわらず、検知部材の変位を認識することができる。

また、本発明の静電容量式センサでは、前記一对の容量素子用電極の一方を含むCR回路と他方を含むCR回路との時定数が異なってもよい。このような構成によると、回路を通過することによる信号の位相のずれを大きくできるため、検知部材の変位認識の精度を向上  
25 させることができる。

また、本発明の静電容量式センサでは、前記信号は、ハイレベルと

ローレベルとを周期的に繰り返す信号であって、前記信号がローレベルである時に前記第 1 の容量素子を放電させる機能を有する制御素子が備えられていてもよい。また、本発明の静電容量式センサでは、前記制御素子として、オープンコレクタ型のインバータ素子が用いられ

5 てもよい。

このような構成によると、オープンコレクタ型のインバータ素子などの制御素子によって、容量素子に保持された電荷が瞬時に放電される。そのため、効率よく充電ができるとともに、信号の波形の密度を増加させることができ、信号処理回路の感度を向上させることができる。

10 る。

#### 図面の簡単な説明

第 1 図は、本発明の実施の形態に係る静電容量式センサの模式的な断面図である。

15 第 2 図は、第 1 図の静電容量式センサの検知部材の上面図である。

第 3 図は、第 1 図の静電容量式センサの基板上に形成されている複数の電極の配置を示す図である。

第 4 図は、第 1 図に示す静電容量式センサの構成に対する等価回路図である。

20 第 5 図は、第 1 図に示す静電容量式センサに入力される周期信号から出力信号を導出する方法を説明するための説明図である。

第 6 図は、第 1 図に示す静電容量式センサの検知部材に X 軸正方向への操作が施された場合の側面の模式的な断面図である。

第 7 図は、第 1 図に示す静電容量式センサの信号処理回路を示す回路図である。

25

第 8 図は、第 7 図に示す静電容量式センサの信号処理回路に対する



等価回路図である。

第 9 図は、第 7 図に示す静電容量式センサの信号処理回路に対する等価回路図である。

第 10 図は、第 1 図に示す静電容量式センサの X 軸方向成分について  
5 の信号処理回路を示す回路図である。

第 11 図は、第 10 図に示す信号処理回路と比較するための信号処理回路を示す回路図である。

第 12 図は、第 1 図に示す信号処理回路の各端子および各節点における周期信号の波形を示す図である。

10 第 13 図は、ノイズが乗っている入力電圧と出力信号の関係を示す図である。

第 14 図は、第 1 図の静電容量式センサの第 1 の変形例の基板上に形成されている複数の電極の配置を示す図である。

第 15 図は、第 1 図に示す静電容量式センサの第 1 の変形例の X 軸  
15 方向成分についての信号処理回路を示す回路図である。

第 16 図は、第 1 図に示す静電容量式センサの第 2 の変形例の X 軸方向成分についての信号処理回路を示す回路図である。

第 17 図は、第 1 図に示す信号処理回路および第 16 図に示す信号処理回路の端子および各節点における周期信号の波形を示す図である  
20 。

第 18 図は、第 1 図に示す静電容量式センサの第 3 の変形例の X 軸方向成分についての信号処理回路を示す回路図である。

第 19 図は、第 1 図に示す静電容量式センサの第 4 の変形例の X 軸方向成分についての信号処理回路を示す回路図である。

25 第 20 図は、第 1 図に示す静電容量式センサの第 5 の変形例の X 軸方向成分についての信号処理回路を示す回路図である。

第 2 1 図は、第 1 図に示す静電容量式センサの第 6 の変形例の X 軸方向成分についての信号処理回路を示す回路図である。

第 2 2 図は、第 1 図に示す静電容量式センサの第 7 の変形例の X 軸方向成分についての信号処理回路を示す回路図である。

5

発明を実施するための最良の形態

以下、本発明の好適な実施の形態について、図面を参照しつつ説明する。なお、以下で説明する実施の形態は本発明の静電容量式センサを力覚センサとして用いたものである。

10 第 1 図は、本発明の実施の形態に係る静電容量式センサの模式的な断面図である。第 2 図は、第 1 図の静電容量式センサの検知部材の上面図である。第 3 図は、第 1 図の静電容量式センサの基板上に形成されている複数の電極の配置を示す図である。

静電容量式センサ 1 0 は、基板 2 0 と、人などによって操作されることによって外部から力が加えられる操作用部材である検知部材 3 0  
15 と、変位電極 4 0 と、基板 2 0 上に形成された容量素子用電極 E 1 ～ E 5 および基準電極（共通電極）E 0 と、容量素子用電極 E 1 ～ E 5 および基準電極 E 0 に密着して基板 2 0 上を覆うように形成された絶縁膜 5 0 と、検知部材 3 0 および変位電極 4 0 を基板 2 0 に対して支  
20 持固定する支持部材 6 0 とを有している。

ここでは、説明の便宜上、図示のとおり、X Y Z 三次元座標系を定義し、この座標系を参照しながら各部品に配置説明を行うことにする。すなわち、第 1 図では、基板 2 0 上の変位電極 4 0 の中心位置に対向する位置に原点 O が定義され、右水平方向に X 軸が、上垂直方向に  
25 Z 軸が、紙面に垂直奥行方向に Y 軸がそれぞれ定義されている。ここで、基板 2 0 の表面は、X Y 平面を規定し、基板 2 0 上の容量素子用

電極E 5、検知部材3 0および変位電極4 0のそれぞれの中心位置をZ軸が通ることになる。

基板2 0は、一般的な電子回路用のプリント回路基板であり、この例ではガラスエポキシ基板が用いられている。また、基板2 0として  
5、ポリイミドフィルムなどのフィルム状の基板を用いてもよいが、フィルム状の基板の場合は可撓性を有しているため、十分な剛性をもった支持基板上に配置して用いるのが好ましい。

検知部材3 0は、受力部となる小径の上段部3 1と、上段部3 1の下端部に伸延する大径の下段部3 2とから構成され、全体として円盤  
10状に形成されている。ここで、上段部3 1の径は、容量素子用電極E 1～E 4のそれぞれの外側の曲線を結んでできる円の径とほぼ同じか、それより若干小さく、下段部3 2の径は、基準電極E 0の外径とほぼ同じである。なお、操作性を向上させるために、検知部材3 0に樹脂製のキャップをかぶせてもよい。

15 また、検知部材3 0の上段部3 1の上面には、第2図に示すように、X軸およびY軸のそれぞれの正方向および負方向に対応するように、すなわち、容量素子用電極E 1～E 4に対応するように、操作方向（カーソルの移動方向）に対応した矢印が形成されている。

変位電極4 0は、導電性を有するゴムで形成され、検知部材3 0の  
20 下段部3 2と同一の径を有する円盤状であり、検知部材3 0の下面に付着されている。また、変位電極4 0の下面には、変位電極4 0の中心位置を中心とする円形で下方に開いた凹部が形成されている。さらに、その凹部の底部には、変位電極4 0の中心位置を中心とする円形で下方に突出した凸部が形成され、その凸部の中心位置（変位電極4  
25 0の中心位置）には突起体4 5が形成されている。このように、変位電極4 0は、検知部材3 0の変位にともなって変位する変位部4 1

(変位電極 4 0 の下面に形成された凹部底部の凸部) と、最も外周よりの固定部 4 3 (変位電極 4 0 の下面に形成された凹部以外の部分) と、変位部 4 1 と固定部 4 3 とを接続する接続部 4 2 (変位電極 4 0 の下面に形成された凹部底部の凸部以外の部分) とにより形成されている。なお、突起体 4 5 は無くてもよいし、変位電極 4 0 は、導電性を有する金属によって形成してもよい。

このように、変位電極 4 0 の中心位置に突起体 4 5 が形成されているため、検知部材 3 0 に力が作用したときに変位電極 4 0 が突起体 4 5 を支点として傾くことができるようになっている。また、変位電極 4 0 は、固定部 4 3 の下面および突起体 4 5 の下面が基板 2 0 上に形成された絶縁膜 5 0 に密着するように、支持部材 6 0 によって、検知部材 3 0 とともに支持固定されている。なお、突起体 4 5 は、検知部材 3 0 が Z 軸方向に強く押された場合には、変位電極 4 0 をある程度の力を受けて基板 2 0 に接近させる弾性材の機能を有している。

また、基板 2 0 上には、第 3 図に示すように、原点 O を中心とする円形の容量素子用電極 E 5 と、その外側に扇形の容量素子用電極 E 1 ~ E 4 と、さらにその外側に原点 O を中心とするリング状の基準電極 E 0 とが形成されている。一对の容量素子用電極 E 1 および E 2 は、X 軸方向に離隔して Y 軸に対して線対称に配置されている。また、一对の容量素子用電極 E 3 および E 4 は、Y 軸方向に離隔して X 軸に対して線対称に配置されている。なお、基準電極 E 0 は、容量素子用電極 E 5 と容量素子用電極 E 1 ~ E 4 との間に形成されてもよい。また、容量素子用電極 E 5 を無くし、原点 O を中心とする円形の基準電極 E 0 を形成してもよい。ただし、この場合には、Z 軸方向成分は検出できなくなる。

ここでは、容量素子用電極 E 1 は X 軸の正方向に対応するように配

置され、一方、容量素子用電極E 2はX軸の負方向に対応するように配置され、外部からの力のX軸方向成分の検出に利用される。また、容量素子用電極E 3はY軸の正方向に対応するように配置され、一方、容量素子用電極E 4はY軸の負方向に対応するように配置され、外部からの力のY軸方向成分の検出に利用される。さらに、容量素子用電極E 5は、原点O上に配置されており、外部からの力のZ軸方向成分の検出に利用される。

また、容量素子用電極E 1～E 5および基準電極E 0は、スルーホールなどを利用して端子T 0～T 5（第4図参照）にそれぞれ接続されており、端子T 0～T 5を通じて外部の電子回路に接続されるようになっている。なお、ここでは、基準電極E 0は、端子T 0を介して接地されている。

また、絶縁膜5 0が、基板2 0上の容量素子用電極E 1～E 5および基準電極E 0に密着して、基板2 0上を覆うように形成されている。このため、銅などで形成された容量素子用電極E 1～E 5および基準電極E 0が空気にさらされることがなく、それらが酸化されるのを防止する機能を有している。また、絶縁膜5 0が形成されているため、容量素子用電極E 1～E 5および基準電極E 0と、変位電極4 0とが直接接触することはない。

したがって、容量素子用電極E 1～E 5および基準電極E 0は、それぞれ変位電極4 0との間で容量素子を構成する。なお、容量素子用電極E 1～E 5は、変位電極4 0の変位部4 1との間でそれぞれ容量素子C 1～C 5を構成し、また、基準電極E 0は、変位電極4 0の固定部4 3との間で容量素子C 0を構成する。

次に、上述のように構成された本実施の形態に係る静電容量式センサ1 0の動作について、図面を参照して説明する。第4図は、第1図

に示す静電容量式センサの構成に対する等価回路図である。第5図は、第1図に示す静電容量式センサに入力される周期信号から出力信号を導出する方法を説明するための説明図である。第6図は、第1図に示す静電容量式センサの検知部材にX軸正方向への操作が施された場合の側面の模式的な断面図である。

まず、静電容量式センサ10の構成と等価な回路構成について、第4図を参照して説明する。基板20上に形成された容量素子用電極E1～E5および基準電極E0は、変位電極40と対向しており、共通の電極である変位可能な変位電極40と、固定された個別の容量素子用電極E1～E5および基準電極E0との間で容量素子C0～C5を形成している。容量素子C1～C5は、それぞれ変位電極40の変位に起因して静電容量値が変化するように構成された可変容量素子であるといえることができる。

容量素子C0～C5のそれぞれの静電容量値は、変位電極40と、容量素子用電極E1～E5および基準電極E0のそれぞれに接続された端子T0～T5との間の静電容量値として、それぞれ独立して測定することができる。ここで、基準電極E0は、端子T0を介して接地されており、容量素子C1～C5における共通の電極である変位電極40は、容量素子C0および端子T0を介して接地されていると考えられる。すなわち、容量素子C0は、変位電極40と端子T0とを容量結合している。

次に、容量素子C1～C5のそれぞれの静電容量値の変化から、検知部材30への外部からの力の大きさおよび方向を示す出力信号の導出方法について、第5図を参照して説明する。ここで、出力信号V<sub>x</sub>、V<sub>y</sub>、V<sub>z</sub>は、それぞれ外部からの力のX軸方向成分、Y軸方向成分およびZ軸方向成分の大きさおよび方向を示す。なお、出力信号V

$x$ 、 $V_y$ 、 $V_z$  は、ヒステリシス特性を有する信号処理回路に含まれるシュミット・トリガ型論理素子からそれぞれ出力されることを示すため、論理素子の記号内にはヒステリシス特性をシンボル化したマークが描かれている。

- 5      また、第5図に示す容量素子 $C_6$ は、常に一定の静電容量値を保つように基板20の下面に形成されており、容量素子 $C_6$ を構成する一方の電極は出力信号 $V_z$ を導出する $C/V$ 変換回路に接続されており、他方の電極は接地されている。この容量素子 $C_6$ は、容量素子 $C_5$ とともに、外部からの力の $Z$ 軸方向成分の出力信号 $V_z$ を導出するために用いられる。なお、容量素子 $C_6$ として、 $IC$ の入力容量を利用することもできる。また、図示しない第6の電極 $E_6$ と変位電極40の変位しにくい部分で安定な容量素子 $C_6$ を構成してもよい。
- 10

- ここで、出力信号 $V_x$ 、 $V_y$ 、 $V_z$ を導出するために、端子 $T_1 \sim T_6$ に対して、常にクロック信号などの周期信号が入力される。例えば、端子 $T_1$ に入力された周期信号に対して、2つの容量素子 $C_1$ と $C_0$ は直列に接続された関係となっている。同様に、2つの容量素子 $C_2$ と $C_0$ は端子 $T_2$ に入力された周期信号に対して直列に接続された関係となっており、2つの容量素子 $C_3$ と $C_0$ は端子 $T_3$ に入力された周期信号に対して直列に接続された関係となっており、2つの容量素子 $C_4$ と $C_0$ は端子 $T_4$ に入力された周期信号に対して直列に接続された関係となっており、2つの容量素子 $C_5$ と $C_0$ は端子 $T_5$ に入力された周期信号に対して直列に接続された関係となっている。
- 15
- 20

- 端子 $T_1 \sim T_6$ に周期信号が入力されている状態で検知部材30が外部からの力を受けて変位すると、これにともなって変位電極40が $Z$ 軸方向に変位し、容量素子 $C_1 \sim C_5$ の電極間隔が変化して、容量素子 $C_1 \sim C_5$ のそれぞれの静電容量値が変化する。すると、端子 $T$
- 25

1 ～ T 6 に入力された周期信号の位相にずれが生じる。このように、周期信号に生じる位相のずれを利用して、検知部材 3 0 の変位、つまり検知部材 3 0 が外部から受けた力の X 軸方向、Y 軸方向および Z 軸方向の大きさと方向を示す出力信号  $V_x$ 、 $V_y$ 、 $V_z$  を得ることができ  
5 ける。

さらに詳細に説明すると、端子 T 1 ～ T 6 に対して周期信号を入力するとき、端子 T 1、T 3、T 5 に対しては周期信号 A が入力され、一方、端子 T 2、T 4、T 6 に対しては周期信号 A と同一の周期で、かつ、周期信号 A の位相とは異なる周期信号 B が入力される。そのとき、検知部材 3 0 が外部から力を受けて、容量素子 C 1 ～ C 5 の静電容量値がそれぞれ変化すると、端子 T 1 ～ T 5 にそれぞれ入力された周期信号 A または周期信号 B の位相にそれぞれ異なった量のずれが生じる。なお、容量素子 C 6 の静電容量値は変化しないため、端子 T 6  
10 に入力された周期信号 B の位相にはずれは生じない。

すなわち、外部からの力に X 軸方向成分が含まれる場合は、容量素子 C 1 の静電容量値が変化し、端子 T 1 に入力された周期信号 A の位相にずれが生じるとともに、容量素子 C 2 の静電容量値が変化し、端子 T 2 に入力された周期信号 B の位相にもずれが生じる。ここで、容量素子 C 1、C 2 の静電容量値の変化は、それぞれ外部からの力の X  
20 軸方向成分に対応している。したがって、端子 T 1 に入力された周期信号 A の位相のずれと、端子 T 2 に入力された周期信号 B の位相のずれとは、互いに逆方向の位相のずれである。このように、端子 T 1 および端子 T 2 にそれぞれ入力された周期信号 A および周期信号 B の位相のずれを排他和回路で読み取ることによって、出力信号  $V_x$  が導出  
25 される。この出力信号  $V_x$  の変化量の符号が外部からの力の X 軸方向成分が正方向または負方向の向きかを示し、出力信号  $V_x$  の変化量の



絶対値がX軸方向成分の大きさを示す。

また、外部からの力にY軸方向成分が含まれる場合は、容量素子C 3の静電容量値が変化し、端子T 3に入力された周期信号Aの位相にずれが生じるとともに、容量素子C 4の静電容量値が変化し、端子T 4に入力された周期信号Bの位相にもずれが生じる。ここで、容量素子C 3、C 4の静電容量値の変化は、それぞれ外部からの力のY軸方向成分に対応している。したがって、端子T 3に入力された周期信号Aの位相のずれと、端子T 4に入力された周期信号Bの位相のずれとは、互いに逆方向の位相のずれである。このように、端子T 3および端子T 4にそれぞれ入力された周期信号Aおよび周期信号Bの位相のずれを排他和回路で読み取ることによって、出力信号 $V_y$ が導出される。この出力信号 $V_y$ の変化量の符号が外部からの力のY軸方向成分が正方向または負方向の向きかを示し、出力信号 $V_y$ の変化量の絶対値がY軸方向成分の大きさを示す。

さらに、外部からの力にZ軸方向成分が含まれる場合は、容量素子C 5の静電容量値が変化し、端子T 5に入力された周期信号Aの位相にずれが生じる。また、容量素子C 6の静電容量値は一定に保たれているため、端子T 6に入力された周期信号Bの位相にはずれが生じない。したがって、端子T 5に入力された周期信号Aにのみ位相のずれが生じ、この周期信号Aの位相のずれを排他和回路で読み取ることによって、出力信号 $V_z$ が導出される。この出力信号 $V_z$ の変化量の符号が外部からの力のZ軸方向成分が正方向または負方向の向きかを示し、出力信号 $V_z$ の変化量の絶対値がZ軸方向成分の大きさを示す。

なお、外部からの力にX軸方向成分またはY軸方向成分が含まれる場合において、検知部材30に対する力の加わり方によっては、次のような場合が考えられる。例えば、X軸方向について考えると、変位

- 部 4 1 の X 軸正方向部分と X 軸負方向部分とが、突起体 4 5 を支点として互いに上下反対方向に変位することなく、X 軸正方向部分および X 軸負方向部分がともに下方へと変位し、かつ、そのときのそれぞれの変位量が異なる場合がある。この場合には、端子 T 1 および T 2 に
- 5 入力されたそれぞれの周期信号 A および周期信号 B の位相には、同じ方向のずれが生じることとなるが、上述した場合と同様に、その位相のずれを排他和回路で読み取ることによって、出力信号  $V_x$  が導出される。また、このことは、Y 軸方向についての出力信号  $V_y$  の導出に対しても同様のことがいえる。
- 10 次に、第 1 図に示す検知部材 3 0 に力が作用していないときの状態において、第 6 図に示すように、検知部材 3 0 に X 軸正方向への操作が施された場合、すなわち、検知部材 3 0 の上段部 3 1 に形成された X 軸正方向に対応するように形成された矢印を基板 2 0 側に押し下げるような力（Z 軸負方向への力）を加えた場合を考える。
- 15 検知部材 3 0 の X 軸正方向に対応する部分が押し下げられることにより、変位電極 4 0 の接続部 4 2 が弾性変形を生じてたわみ、変位部 4 1 の X 軸正方向部分は下方へと変位し、やがて変位部 4 1 の X 軸正方向部分の下面が絶縁膜 5 0 に接触する位置まで変位する。また、このとき、変位部 4 1 の X 軸正方向部分と X 軸負方向部分とは、突起体
- 20 4 5 を支点として互いに上下反対方向に変位するようになっている。したがって、変位部 4 1 の X 軸正方向部分が下方へと変位したときには、変位部 4 1 の X 軸負方向部分は、突起体 4 5 を支点として、上方へと変位する。
- また、変位部 4 1 の Y 軸正方向部分の X 軸正方向側は下方に若干変
- 25 位し、X 軸負方向側は上方に若干変位する。同様に、Y 軸負方向部分の X 軸正方向側は下方に若干変位し、X 軸負方向側は上方に若干変位

する。また、このとき、変位部 4 1 の中心位置 (Z 軸上) に形成された突起体 4 5 は、押しつぶされて弾性変形する。

したがって、変位部 4 1 の X 軸正方向部分と容量素子用電極 E 1 との間隔は小さくなり、一方、変位部 4 1 の X 軸負方向部分と容量素子用電極 E 2 との間隔は大きくなる。また、変位部 4 1 の Y 軸正方向部分と容量素子用電極 E 3 との間隔、および、変位部 4 1 の Y 軸負方向部分と容量素子用電極 E 4 との間隔は平均すると変化しないと考えられる。実際には、上述のように、変位部 4 1 の Y 軸正方向部分および Y 軸負方向部分のそれぞれ X 軸正方向側は下方に若干変位し、X 軸負方向側は上方に若干変位するが、変位部 4 1 の Y 軸正方向部分および Y 軸負方向部分全体としての容量素子用電極 E 3 および E 4 との間隔は変化しないと考えられる。また、変位部 4 1 の Y 軸正方向部分と容量素子用電極 E 3 との間隔、および、変位部 4 1 の Y 軸負方向部分と容量素子用電極 E 4 との間隔が部分的に異なっている、機械的対称性より、変位部 4 1 の Y 軸正方向部分と容量素子用電極 E 3 との間に構成される容量素子 C 3 の静電容量値および変位部 4 1 の Y 軸負方向部分と容量素子用電極 E 4 との間に構成される容量素子 C 4 の静電容量値の変化量は等しいと考えられ、作動原理により出力には現れない。また、変位部 4 1 の中心位置と容量素子用電極 E 5 との間隔は小さくなる。

そして、容量素子 C 1 ~ C 5 のなかで、容量素子用電極 E 1 ~ E 5 と変位電極 4 0 との間の間隔に変化があった容量素子 C 1、C 2、C 5 の静電容量値のみが変化する。ここで、一般的に、容量素子の静電容量値は、容量素子を構成する電極の間隔に反比例することより、容量素子 C 1 の静電容量値は大きくなり、容量素子 C 2 の静電容量値は小さくなる。すなわち、容量素子 C 1 ~ C 4 のそれぞれの静電容量値

の大小関係は、以下のようになる。

$$C_2 < C_3 = C_4 < C_1$$

なお、容量素子 $C_5$ の静電容量値は、元の値より大きくなる。

- このとき、端子 $T_1$ および $T_2$ に入力されたそれぞれの周期信号 $A$
- 5 および周期信号 $B$ の位相にずれが生じ、その位相のずれを読み取ることに  
よって出力信号 $V_x$ が導出される。同様に、端子 $T_5$ に入力され  
た周期信号 $A$ の位相にずれが生じ、その位相のずれ（実際には、端子  
 $T_6$ に入力された周期信号 $B$ の位相とともに）を読み取ることに  
よって出力信号 $V_z$ が導出される。
- 10 次に、端子 $T_1 \sim T_6$ に入力された周期信号 $A$ 、 $B$ による出力信号  
 $V_x$ 、 $V_y$ 、 $V_z$ を導出するための信号処理回路について、第7図を  
参照しながら説明する。第7図は、第1図に示す静電容量式センサの  
信号処理回路を示す回路図である。第8図および第9図は、第7図に  
示す静電容量式センサの信号処理回路と等価な信号処理回路を示す回  
路図である。
- 15 上述のように、端子 $T_1 \sim T_6$ には、図示されていない交流信号発  
振器から所定周波数の周期信号が入力される。これらの端子 $T_1 \sim T_6$   
には、インバータ素子 $I_1 \sim I_6$ および抵抗素子 $R_1 \sim R_6$ が、端  
子 $T_1 \sim T_6$ 側からインバータ素子 $I_1 \sim I_6$ 、抵抗素子 $R_1 \sim R_6$
- 20 の順にそれぞれ接続されている。また、抵抗素子 $R_1$ 、 $R_2$ の出力端  
、抵抗素子 $R_3$ 、 $R_4$ の出力端および抵抗素子 $R_5$ 、 $R_6$ の出力端に  
は、それぞれシュミット・トリガ型の排他和回路の論理素子である $E$   
 $X-OR$ 素子 $101 \sim 103$ が接続されており、その出力端は端子 $T$   
 $11 \sim T13$ に接続されている。また、抵抗素子 $R_1 \sim R_5$ の出力端
- 25 は、それぞれ容量素子用電極 $E_1 \sim E_5$ に接続され、それぞれ変位電  
極 $40$ との間で容量素子 $C_1 \sim C_5$ を構成している。また、変位電極

40は、容量素子C0を介して接地されている。

また、第7図に示すシュミット・トリガ型の排他和回路の論理素子であるEX-OR素子101~103が利用された信号処理回路は、第8図に示すシュミット・トリガ型バッファ素子111~116が利用された信号処理回路、または、第9図に示すシュミット・トリガ型インバータ素子121~126が利用された信号処理回路に変更することが可能であり、これらは、いずれも等価な信号処理回路である。

ここから、例として、X軸方向成分の出力信号 $V_x$ の導出方法について、第1図0を参照して説明する。なお、Y軸方向成分の出力信号 $V_y$ およびZ軸方向成分の出力信号 $V_z$ の導出方法についても同様であるので説明を省略する。第10図(a)および第10図(b)は、第1図に示す静電容量式センサのX軸方向成分についての信号処理回路を示す回路図(第8図の一部分)である。なお、第7図~第9図の信号処理回路を示す回路図はいずれも等価であるため、ここでは第8図に基づいて説明する。

この信号処理回路において、容量素子C1と抵抗素子R1および容量素子C2と抵抗素子R2はそれぞれCR遅延回路を形成している。端子T1、T2に入力された周期信号(矩形波信号)は、それぞれCR遅延回路によって所定の遅延が生じて、シュミット・トリガ型バッファ素子111、112を通過した後、EX-OR素子131において合流する。また、インバータ素子I1、I2として、同一の素子を用いているため、異なる経路の信号を同じ条件で比較することが可能である。ここで、インバータ素子I1、I2は、CR遅延回路を駆動するために十分な駆動電力を発生させる素子であり、論理的には意味のない素子である。したがって、端子T1、T2に対して十分な駆動能力を持った信号を供給することが可能であればこれらのインバータ

素子 I 1、I 2 はなくてもよい。したがって、第 10 図 (b) は、第 10 図 (a) の信号処理回路に含まれるインバータ素子 I 1、I 2 を省いたものであるため、回路としては第 10 図 (a) と全く等価なものであると考えられる。

- 5      次に、本実施の形態に係る静電容量式センサの信号処理回路について、図面を参照して説明する。第 11 図は、第 10 図に示す信号処理回路と比較するための信号処理回路を示す回路図である。第 12 図は、第 10 図および第 11 図に示す信号処理回路の各端子および各節点における周期信号の波形を示す図である。
- 10      第 10 図 (b) に示す信号処理回路において、端子 T 1、T 2 のそれぞれに周期信号が入力された場合の各端子および各節点における周期信号の波形について、本実施の形態に係る静電容量式センサの信号処理回路として、ヒステリシス特性を有さない信号処理回路 (第 11 図参照) が利用された場合における各端子および各節点における周期
- 15      信号の波形と比較して説明する。
- 第 10 図 (b) の信号処理回路において、端子 T 1、T 2 のそれぞれに入力された周期信号は、C R 遅延回路を通過することにより、それぞれ所定の遅延を生じて、シュミット・トリガ型バッファ素子 1 1 1、1 1 2 を通過した後、E X-O R 素子 1 3 1 に入力される。詳細
- 20      に説明すると、端子 T 1 には周期信号  $f(\phi)$  (上述の周期信号 A に対応しており、以下周期信号 A と称する) が入力され、また、端子 T 2 には  $f(\phi)$  と同一の周期で、かつ、位相が  $\theta$  だけずれている周期信号  $f(\phi - \theta)$  (上述の周期信号 B に対応しており、以下周期信号 B と称する) が入力される。ここでは、周期信号 A のデューティ比 D 0 は
- 25      50% であり、周期信号 B は周期信号 A の位相が周期信号 A の周期の  $1/4$  だけ遅れている場合について説明する。なお、第 12 図の (a)

、(b) は、端子 T 1、T 2 に入力される周期信号 A および周期信号 B の波形を示している。

ここで、端子 T 1、T 2 にそれぞれ入力される異なる位相の周期信号 A および周期信号 B は、1 つの交流信号発振器から出力された周期信号を 2 つの経路に分け、その一方の経路に図示しない C R 遅延回路を設け、C R 遅延回路を通過する周期信号の位相を遅延させることによって発生させられる。なお、周期信号の位相をずらせる方法は、C R 遅延回路を用いる方法に限らず、他のどのような方法であってもよいし、また、2 つの交流信号発振器を用いて、それぞれ異なる位相の周期信号 A および周期信号 B を発生させ、端子 T 1、T 2 のそれぞれに入力してもよい。

第 10 図 (b) の信号処理回路において、端子 T 1、T 2 に入力される周期信号 A および周期信号 B は、容量素子 C 1 および抵抗素子 R 1 で構成される遅延回路または容量素子 C 2 および抵抗素子 R 2 で構成される遅延回路を通過することにより遅延して、それぞれ節点 X 1 1、X 1 2 に到達する。ここで、検知部材 30 に外部から力が作用していない (操作が施されていない) 状態における容量素子 C 1、C 2 の静電容量値は、検知部材 30 に外部から力が作用していない状態における変位電極 40 と容量素子用電極 E 1、E 2 との間隔に基づく静電容量値である。なお、第 12 図 (c) は、第 10 図 (b) に示す信号処理回路の節点 X 1 1 における電位の変化を示しており、第 12 図 (d) は、第 10 図 (b) に示す信号処理回路の節点 X 1 2 における電位の変化を示している。

端子 T 1 に「H i」または「L o」の信号を繰り返す周期信号が入力された場合には、第 12 図 (c) に示すように、「H i」の信号の入力が開始すると C R 遅延回路を構成する容量素子 C 1 に次第に電荷が

蓄えられることにより、節点X 1 1における電位は次第に増加し、また、「L o」の信号の入力が開始するとCR遅延回路を構成する容量素子C 1の電荷が次第に放電されることにより節点X 1 1における電位は次第に減少するという変化を繰り返す。同様に、端子T 2に「H i」または「L o」の信号を繰り返す周期信号が入力された場合には、第12図(d)に示すように、節点X 1 2における電位は、節点X 1 1における電位と同様の変化を繰り返す。

そして、節点X 1 1および節点X 1 2の電位の波形は、シュミット・トリガ型バッファ素子1 1 1、1 1 2に入力されることにより、第12図(e)、(f)に示すような矩形波に変換される。なお、第12図(e)は、第10図(b)に示す信号処理回路の節点X 1 3における周期信号の波形を示しており、第12図(f)は、第10図(b)に示す信号処理回路の節点X 1 4における周期信号の波形を示している。

ここで、シュミット・トリガ型バッファ素子1 1 1、1 1 2における変換処理について、詳しく説明する。シュミット・トリガ型バッファ素子1 1 1、1 1 2においては、入力電圧の増加時のスレショルド電圧（以下、ポジティブスレショルド電圧 $V_p$ と称する）と、逆に入力電圧の減少時のスレショルド電圧（以下、ネガティブスレショルド電圧 $V_n$ と称する）とが異なっており、ポジティブスレショルド電圧 $V_p$ とポジティブスレショルド電圧 $V_p$ よりも小さい値であるネガティブスレショルド電圧 $V_n$ との2つのスレショルド電圧が設定されている。

従って、入力電圧が増加しつつポジティブスレショルド電圧 $V_p$ よりも大きくなった場合には、出力信号は「L o」の信号から「H i」の信号に切り換えられ、一方、入力電圧が減少しつつネガティブスレ



しヨルド電圧 $V_n$ よりも小さくなった場合に、出力信号は「H i」の信号から「L o」の信号に切り換えられる。

また、入力電圧にノイズが乗っている場合の出力信号について、第13図を参照して説明する。第13図は、ノイズが乗っている入力電圧と出力信号の関係を示す図である。

まず、ノイズが乗っている入力電圧が増加する場合には、第13図に示すとおり、入力電圧は、時間 $T_a$ において一旦ポジティブスレシヨルド電圧 $V_p$ より大きくなる。その後、入力電圧は時間 $T_b$ でポジティブスレシヨルド電圧 $V_p$ より小さくなり、時間 $T_c$ において再度ポジティブスレシヨルド電圧 $V_p$ より大きくなる。ここで、上述したように、時間 $T_a$ において出力信号が「L o」の信号から「H i」の信号に切り換えられる。そして、入力電圧は時間 $T_b$ でポジティブスレシヨルド電圧 $V_p$ より小さくなるが、ネガティブスレシヨルド電圧 $V_n$ よりも小さくならないため、出力信号が「H i」の信号から「L o」の信号に切り換えられることはない。従って、時間 $T_b$ 、 $T_c$ では、「H i」の出力信号が継続される。

一方、ノイズが乗っている入力電圧が減少する場合には、入力電圧は、時間 $T_d$ において一旦ネガティブスレシヨルド電圧 $V_n$ より小さくなる。その後、入力電圧は時間 $T_e$ でネガティブスレシヨルド電圧 $V_n$ より大きくなり、時間 $T_f$ において再度ネガティブスレシヨルド電圧 $V_n$ より小さくなる。ここで、上述したように、時間 $T_d$ において出力信号が「H i」の信号から「L o」の信号に切り換えられる。そして、入力電圧は時間 $T_e$ でネガティブスレシヨルド電圧 $V_n$ より大きくなるが、ポジティブスレシヨルド電圧 $V_p$ よりも大きくならないため、出力信号が「L o」の信号から「H i」の信号に切り換えられることはない。従って、時間 $T_e$ 、 $T_f$ では、「L o」の出力信号が

継続される。

- このように、入力電圧にノイズが乗っていることによって、入力電圧がポジティブスレシヨルド電圧 $V_p$ およびネガティブスレシヨルド電圧 $V_n$ 付近で変動する場合でも、誤った出力信号を検出することが抑制される。

- 5      なお、シュミット・トリガ型バッファ素子111、112がC-MOS型素子で電源電圧が $V_{cc}$ である場合には、通常、ポジティブスレシヨルド電圧 $V_p$ は、 $V_{cc}/2$ と $V_{cc}$ との間の値であり、ネガティブスレシヨルド電圧 $V_n$ は、0と $V_{cc}/2$ との間の値である。一般的な
- 10    シュミット・トリガ型バッファ素子では、電源電圧 $V_{cc}$ が4.5Vの場合には、ポジティブスレシヨルド電圧 $V_p$ が2.7Vであり、ネガティブスレシヨルド電圧 $V_n$ が1.6Vである。なお、後述するように、C-MOS型の論理素子のスレシヨルド電圧のスレシヨルド電圧は、 $V_{cc}/2$ 程度であるのが一般的である。
- 15    以上のように、EX-OR素子131には、節点X13における矩形波（第12図（e）参照）と、節点X14における矩形波（第12図（f）参照）が入力され、これらの信号の間で排他的論理演算が行われ、その結果が端子T11に対して出力される。ここで、端子T11に対して出力される出力信号 $V_x$ は、第12図（g）に示すように、
- 20    デューティ比D1を有する矩形波信号である。
- 25    次に、第6図に示すように、検知部材30にX軸正方向への操作が施された場合について考える。このとき、上述したように、検知部材30のX軸正方向に対応する部分が押し下げられることにより、検知部材30のX軸正方向に対応する部分が下方に変位し、検知部材30のX軸負方向に対応する部分が上方に変位することにより、容量素子C1の静電容量値は大きくなり、容量素子C2の静電容量値は小さく

なる。これにより、端子T 1、T 2に入力される周期信号Aおよび周期信号Bの容量素子C 1および抵抗素子R 1で構成される遅延回路または容量素子C 2および抵抗素子R 2で構成される遅延回路を通過することによる遅延量が変化することになる。

- 5 第10図(b)の信号処理回路において、端子T 1、T 2に入力される周期信号Aおよび周期信号Bは、容量素子C 1、C 2の静電容量値は変化した状態において、容量素子C 1および抵抗素子R 1で構成される遅延回路または容量素子C 2および抵抗素子R 2で構成される遅延回路を通過することにより遅延して、それぞれ節点X 1 1'、X 1 2'に到達する。なお、第10図(b)に示す信号処理回路の節点X 1 1、X 1 2と同位置の節点を、検知部材30にX軸正方向への操作が施された場合には、節点X 1 1'、X 1 2'と示す。ここで、第12図(h)は、第10図(b)に示す信号処理回路の節点X 1 1'における電位の変化を示しており、第12図(i)は、第10図(b)に示す信号処理回路の節点X 1 2'における電位の変化を示している。
- 10 15

- ここで、検知部材30にX軸正方向への操作が施された場合においても同様に、節点X 1 1'、X 1 2'における電位の波形が、それぞれシュミット・トリガ型バッファ素子1 1 1、1 1 2に入力されることにより矩形波に変換される。そして、EX-OR素子1 3 1には、その変換された矩形波が入力され、これらの信号の間で排他的論理演算が行われ、その結果が端子T 1 1に対して出力される。ここで、端子T 1 1に対して出力される出力信号V<sub>x</sub>は、第12図(j)に示すように、デューティ比D 2を有する矩形波信号である。
- 20

- 次に、本実施の形態に係る静電容量式センサ10の信号処理回路として、ヒステリシス特性を有さない信号処理回路、すなわち、第11図に示すように、第10図(b)に示す信号処理回路からシュミッ
- 25

ト・トリガ型バッファ素子 111、112 が取り外した信号処理回路が利用された場合における各端子および各節点における周期信号の波形について説明する。

- ここで、第 11 図に示す信号処理回路において利用される C-MOS 型の論理素子である EX-OR 素子 131 の場合には、シュミット・トリガ型バッファ素子 111、112 に 2 つの異なるスレシールド電圧が設定されているのに対して、スレシールド電圧は 1 つだけ設定されている。そして、入力電圧がスレシールド電圧よりも大きくなった場合には、出力信号は「Lo」の信号から「Hi」の信号に切り換えられ、一方、入力電圧がスレシールド電圧よりも小さくなった場合に、出力信号は「Hi」の信号から「Lo」の信号に切り換えられることにより、矩形波信号に変換される。なお、C-MOS 型の論理素子の場合の場合には、電源電圧が  $V_{cc}$  である場合、スレシールド電圧は  $V_{cc}/2$  程度に設定されていることが多い。
- 第 11 図に示す信号処理回路において、端子 T1、T2 に入力される周期信号 A および周期信号 B は、検知部材 30 に外部から力が作用していない（操作が施されていない）状態において、容量素子 C1 および抵抗素子 R1 で構成される遅延回路または容量素子 C2 および抵抗素子 R2 で構成される遅延回路を通過することにより遅延して、それぞれ節点 X21、X22 に到達する。なお、このときの第 11 図に示す信号処理回路の節点 X21、X22 における電位の変化は、第 12 図 (c)、(d) と同様である。
- 従って、EX-OR 素子 131 には、節点 X21、X22 における電位の波形が入力される。そして、節点 X21、X22 における電位の波形は、上述のように矩形波に変換された後、これらの信号の間で排他的論理演算が行われ、その結果が端子 T11 に対して出力される

。ここで、端子T 1 1に対して出力される出力信号V<sub>x</sub>は、第12図(k)に示すように、デューティ比D 3を有する矩形波信号である。

次に、第6図に示すように、検知部材30にX軸正方向への操作が施された場合について考える。このとき、上述したと同様に、容量素子C 1、C 2の静電容量値が変化する。

第11図に示す信号処理回路において、端子T 1、T 2に入力される周期信号Aおよび周期信号Bは、容量素子C 1、C 2の静電容量値は変化した状態において、容量素子C 1および抵抗素子R 1で構成される遅延回路または容量素子C 2および抵抗素子R 2で構成される遅延回路を通過することにより遅延して、それぞれ節点X 2 1'、X 2 2'に到達する。なお、第11図に示す信号処理回路の節点X 2 1、X 2 2と同位置の節点を、検知部材30にX軸正方向への操作が施された場合には、節点X 2 1'、X 2 2'と示す。

従って、このとき、EX-OR素子131には、節点X 1 1'、X 1 2'における波形が入力され、矩形波に変換された後、これらの信号の間で排他的論理演算が行われ、その結果が端子T 1 1に対して出力される。ここで、端子T 1 1に対して出力される出力信号V<sub>x</sub>は、第12図(1)に示すように、デューティ比D 4を有する矩形波信号である。

このように、本実施の形態に係る静電容量式センサ10の信号処理回路として、ヒステリシス特性を有する信号処理回路(第10図(b)参照)が利用された場合には、検知部材30に外部から力が作用していない状態から検知部材30にX軸正方向への操作が施されることにより、端子T 1 1に対して出力される出力信号V<sub>x</sub>のデューティ比は、D 1からD 2に変化する。一方、ヒステリシス特性を有さない信号処理回路(第11図参照)が利用された場合には、検知部材30

に外部から力が作用していない状態から検知部材 30 に X 軸正方向への操作が施されることにより、端子 T 11 に対して出力される出力信号  $V_x$  のデューティ比は、D 3 から D 4 に変化する。

- つまり、第 12 図 (g) の矩形波信号のデューティ比 D 1 と第 12 図 (j) の矩形波信号のデューティ比 D 2 との間の変化量の方が、第 12 図 (k) の矩形波信号のデューティ比 D 3 と第 12 図 (l) の矩形波信号のデューティ比 D 4 との間の変化量よりも大きくなる。ここで、端子 T 11 に対して出力される出力信号  $V_x$  は、アナログ電圧に変換して利用されることが多い。従って、出力信号  $V_x$  がアナログ電圧に変換された場合には、2 つの矩形波信号間のデューティ比の変化量は積算されることになる。これにより、デューティ比の変化量が多いヒステリシス特性を有する信号処理回路 (第 10 図 (b) 参照) が利用された場合の方が、ヒステリシス特性を有さない信号処理回路 (第 11 図参照) が利用された場合よりも、センサとしての感度特性を向上させることができる。

- 以上のように、本実施の形態の静電容量式センサ 10 は、信号処理回路として、ヒステリシス特性を有する信号処理回路が利用されているため、入力電圧の増加時のポジティブスレシールド電圧  $V_p$  と入力電圧の減少時のネガティブスレシールド電圧  $V_n$  とが異なっている。
- 従って、ヒステリシス特性を有する信号処理回路により検出される場合の出力信号のデューティ比の変化量は、ヒステリシス特性を有さない信号処理回路により検出される場合の出力信号のデューティ比の変化量よりも大きくなる。これにより、センサとしての感度特性が向上する。
- また、入力される周期信号にノイズが乗っている場合でも、入力電圧の増加時のしきい値と入力電圧の減少時のしきい値とが異なってい

るため、誤った出力信号が検出されるのが抑制される。これにより、ノイズの影響によるセンサの誤作動を防止することができる。

複数の容量素子C 0～C 5を構成するために共通に用いられる変位電極4 0が、接地または一定の電位に保持された基準電極E 0と容量結合を介して電氣的に結合されるため、直接基準電極E 0と接触することによって電氣的に接続される必要がなくなる。これにより、センサの耐電圧特性が向上し、スパーク電流が流れることによって破損することがほとんどなくなるとともに、接続不良などの不具合を防止することができるため、信頼性の高い静電容量式センサを得ることができる。また、周期信号に対して容量素子C 1、C 0；C 2、C 0；…；C 5、C 0がそれぞれ直列に接続された関係となっているので、容量素子用電極および基準電極を支持する基板2 0だけに配線を設ければ、変位電極4 0を接地または一定の電位に保持するために配線を設ける必要がなくなる。そのため、構造が簡単な静電容量式センサを少ない製造工程数で製造することが可能となる。

また、複数の容量素子用電極E 1～E 5が形成され、検知部材3 0が外部から受けた力のX軸方向、Y軸方向およびZ軸方向の方向成分をそれぞれ別々に認識することができる。ここで、対となる容量素子用電極（E 1およびE 2、E 3およびE 4）に対して、互いに位相が異なる信号が供給されるため、回路を通過することによる信号の位相のずれを大きくでき、さらに、その信号を論理素子を利用した信号処理回路を用いるため、精度よく検出することができる。

次に、本発明の実施の形態の第1の変形例について、図面を参照しつつ説明する。第14図は、第1の変形例に係る静電容量式センサの基板上に形成されている複数の電極の配置を示す図である。

第1の変形例に係る静電容量式センサは、第1図の静電容量式セン

サにおける基板 20 上の基準電極 E 0 の構成を変更し、第 14 図に示すように、基準電極 E 0 1 ~ E 0 4 が形成されたものである。なお、その他の構成は、第 1 図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

- 5      基板 20 上には、第 14 図に示すように、原点 O を中心とする円形の容量素子用電極 E 5 と、その外側に扇形の容量素子用電極 E 1 ~ E 4 と、さらにその外側に扇形の基準電極 E 0 1 ~ E 0 4 とが形成されている。ここで、容量素子用電極 E 1 と基準電極 E 0 1、容量素子用電極 E 2 と基準電極 E 0 2、容量素子用電極 E 3 と基準電極 E 0 3 お
- 10    よび容量素子用電極 E 4 と基準電極 E 0 4 のそれぞれの扇形の中心角は同一であり、それぞれの中心位置が一致するように形成されている。

- 第 15 図は、第 1 の変形例に係る静電容量式センサの X 軸方向成分についての信号処理回路を示す回路図である。第 15 図の信号処理回路が、第 1 図の静電容量式センサの信号処理回路と異なる点は、基板
- 15    20 上の基準電極 E 0 1、E 0 2 が、容量素子用電極 E 1、E 2 のそれぞれに対して別々に分割されて形成されている点である。このため、変位電極 40 は容量素子 C 0 1、C 0 2 を介してそれぞれ別々接地されている。なお、このことは Y 軸方向成分の検出に関しても同様で
- 20    ある。

- このように、基準電極 E 0 1 ~ E 0 4 を複数の分割して形成すると、基準電極 E 0 1 ~ E 0 4 に囲まれるように配置された容量素子用電極 E 1 ~ E 4 がある場合でも、基準電極 E 0 1 ~ E 0 4 どうしの間隙を通して容量素子用電極の配線を容易に設けることができる。なお、
- 25    この変形例では、基準電極が 4 つに分割されているが、基準電極の分割数量、形状および配置はどのようなものであってもよく、基板上の



配線の配置を考慮して適宜変更することが可能である。

次に、本発明の実施の形態の第2の変形例について、図面を参照しつつ説明する。第16図は、第2の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。第16図の信号処理回路が、第1図の静電容量式センサの信号処理回路と異なる点は、端子T1と抵抗素子R1および容量素子C1との間にオープンコレクタ型のインバータ素子91が配置され、同様に端子T2と抵抗素子R2および容量素子C2との間にオープンコレクタ型のインバータ素子92が配置されており、また、抵抗素子R1、R2の端子T1、T2に接続されている方と反対側の電位が一定の電位 $V_{cc}$ に保持されている点である。なお、その他の構成は、第1図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。オープンコレクタ型のインバータ素子91、92は、容量素子用電極に対して入力されるハイレベルとローレベルとを周期的に繰り返す信号がハイレベルであるときにはEX-OR素子の入力端の状態に影響を与えないが、ローレベルである時には容量素子を放電させる機能を有する制御素子である。

ここで、端子T1、T2に、周期信号を入力した場合の第10図(b)に示す信号処理回路の節点X11、X12および第16図に示す信号処理回路の節点X31、X32における電位の変化について、第17図を参照して説明する。なお、ここでは、節点X11と節点X31における電位の変化についてのみ説明する。

第17図に示すように、「Hi」または「Lo」の信号を繰り返す周期信号が端子T1に入力された場合を考えると、「Hi」の信号の入力が開始するとCR遅延回路を構成する容量素子C1に次第に電荷が蓄えられることにより、節点X11における電位は次第に増加し、また、

「L o」の信号の入力が開始するとC R遅延回路を構成する容量素子C 1の電荷が次第に放電されることにより節点X 1における電位は次第に減少するという変化を繰り返す。一方、節点X 3 1における電位は、「H i」の信号の入力が開始するとC R遅延回路を構成する容量素子C 1に次第に電荷が蓄えられることにより次第に増加し、また、「L o」の信号の入力が開始するとC R遅延回路を構成する容量素子C 1の電荷がオープンコレクタ型のインバータ素子9 1を介して瞬時に放電されることにより瞬時に減少するという変化を繰り返す。

このような構成にして、端子T 1に入力される周期信号のデューティ比を大きくすると、各容量素子に保持された電荷が瞬時に放電されるため、効率よく充電ができるとともに、第16図の信号処理回路の方が第10図(b)の信号処理回路よりも周期信号の周期を小さくして波形の密度を増加させることができ、信号処理回路の感度を向上させることができる。

次に、本発明の実施の形態の第3の変形例について、図面を参照しつつ説明する。第18図は、第3の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。第18図の信号処理回路が、第1図の静電容量式センサの信号処理回路と異なる点は、論理素子として、E X-O R素子の代わりにO R素子が用いられている点である。なお、その他の構成は、第1図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

第18図において、端子T 1に入力された周期信号Aには、容量素子C 1と抵抗素子R 1により構成されるC R遅延回路を通過して、節点X 1 1に到達する。このとき、節点X 1 1における周期信号には、第12図に示すように、所定の遅延が生じている。同様に、端子T 1 2に入力された周期信号Bは、容量素子C 2と抵抗素子R 2により構

成されるCR遅延回路を通過して、節点X12に到達する。このとき、節点12における周期信号には、所定の遅延が生じている。したがって、第10図(b)と同様に、OR素子134には、節点X11、X12における周期信号がシュミット・トリガ型バッファ素子111、112を通過することにより変換された信号が入力され、これらの信号の間で論理和演算が行われ、その結果が端子T11に対して出力される。このとき、端子11に対して出力される信号は、所定のデューティ比をもった矩形波信号である。

ここで、OR素子134が用いられた場合に端子11に対して出力される矩形波信号と検知部材30に操作が施されていないときに端子11に対して出力される矩形波信号との間のデューティ比の変化量は、EX-OR素子131が用いられた場合に端子11に対して出力される矩形波信号のそれと比較して小さくなる。このため、静電容量式センサとしての感度特性が低下すると考えられる。

したがって、静電容量式センサの各部材が感度特性が非常によくなる材料で製作された場合に、信号処理回路の構成によって、静電容量式センサの感度特性を調節する（ここでは、感度特性を低下させる）ために用いるのに好ましい。

次に、本発明の実施の形態の第4の変形例について、図面を参照しつつ説明する。第19図は、第4の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。第19図の信号処理回路が、第1図の静電容量式センサの信号処理回路と異なる点は、論理素子として、EX-OR素子の代わりにAND素子が用いられている点である。なお、その他の構成は、第1図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

第18図において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節  
点X11に到達する。このとき、節点X11における周期信号には、  
第12図に示すように、所定の遅延が生じている。同様に、端子T1  
5 2に入力された周期信号Bは、容量素子C2と抵抗素子R2により構  
成されるCR遅延回路を通過して、節点X12に到達する。このとき  
、節点12における周期信号には、所定の遅延が生じている。したが  
って、第10図(b)と同様に、AND素子135には、節点X11  
、X12における周期信号がシュミット・トリガ型バッファ素子11  
10 1、112を通過することにより変換された信号が入力され、これら  
の信号の間で論理積演算が行われ、その結果が端子T11に対して出  
力される。このとき、端子11に対して出力される信号は、所定のデ  
ューティ比をもった矩形波信号である。

ここで、AND素子135が用いられた場合に端子11に対して出  
15 力される矩形波信号と検知部材30に操作が施されていないときに端  
子11に対して出力される矩形波信号との間のデューティ比の変化量  
は、EX-OR素子131が用いられた場合に端子11に対して出力  
される矩形波信号のそれと比較して小さくなる。このため、静電容量  
式センサとしての感度特性が低下すると考えられる。

20 したがって、静電容量式センサの各部材が、静電容量式センサとし  
たときの感度特性が非常によくなる材料で製作された場合に、信号処  
理回路の構成によって、静電容量式センサの感度特性を調節する(こ  
こでは、感度特性を低下させる)ために用いるのが好ましい。

次に、本発明の実施の形態の第5の変形例について、図面を参照し  
25 つつ説明する。第20図は、第5の変形例に係る静電容量式センサの  
X軸方向成分についての信号処理回路を示す回路図である。第20図

の信号処理回路が、第1図の静電容量式センサの信号処理回路と異なる点は、論理素子として、EX-OR素子の代わりにNAND素子が用いられている点である。なお、その他の構成は、第1図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

- 5 第20図において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節  
点X11に到達する。このとき、節点X11における周期信号には、  
第12図に示すように、所定の遅延が生じている。同様に、端子T1  
2に入力された周期信号Bは、容量素子C2と抵抗素子R2により構  
10 成されるCR遅延回路を通過して、節点X12に到達する。このとき  
、節点12における周期信号には、所定の遅延が生じている。したが  
って、第10図(b)と同様に、NAND素子136には、節点X1  
1、X12における周期信号がシュミット・トリガ型バッファ素子1  
11、112を通過することにより変換された信号が入力され、これ  
15 らの信号の間で論理積演算が行われた後、引き続き否定演算が行われ  
、その結果が端子T11に対して出力される。このとき、端子11に  
対して出力される信号は、所定のデューティ比をもった矩形波信号で  
ある。

- ここで、NAND素子136が用いられた場合に端子11に対して  
20 出力される矩形波信号と検知部材30に操作が施されていないときに  
端子11に対して出力される矩形波信号との間のデューティ比の変化  
量は、EX-OR素子131が用いられた場合に端子11に対して出  
力される矩形波信号のそれと比較して小さくなる。このため、静電容  
量式センサとしての感度特性が低下すると考えられる。

- 25 したがって、静電容量式センサの各部材が、静電容量式センサとし  
たときの感度特性が非常によくなる材料で製作された場合に、信号処

理回路の構成によって、静電容量式センサの感度特性を調節する（ここでは、感度特性を低下させる）ために用いるのが好ましい。

次に、本発明の実施の形態の第 6 の変形例について、図面を参照しつつ説明する。第 2 1 図は、第 6 の変形例に係る静電容量式センサの X 軸方向成分についての信号処理回路を示す回路図である。第 2 1 図の信号処理回路が、第 1 図の静電容量式センサの信号処理回路と異なる点は、シュミット・トリガ型バッファ素子 1 1 1、1 1 2 の代わりにヒステリシスコンパレータ 1 4 1、1 4 2 が用いられている点である。なお、その他の構成は、第 1 図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

ヒステリシスコンパレータ 1 4 1、1 4 2 は、それぞれコンパレータ 1 4 1 a、1 4 2 a と、可変抵抗器 R f 1、R f 2 と、基準電圧 1 4 1 b、1 4 2 b と、抵抗素子 R c 1、R c 2 とにより構成されている。また、コンパレータ 1 4 1 a、1 4 2 a の出力端には、それぞれ抵抗素子（プルアップ抵抗）R p 1、R p 2 が接続されており、抵抗素子 R p 1、R p 2 のコンパレータ 1 4 1 a、1 4 2 a の出力端と反対側の電位は、一定の電位 Vcc に保持されている。

コンパレータ 1 4 1 a の一方の入力端子には抵抗素子 R c 1 の出力端が接続されており、他方の入力端子には基準電圧 1 4 1 b が接続されている。従って、コンパレータ 1 4 1 a と基準電圧 1 4 1 b との間の節点 X 1 4 1 は、所定の電位に維持されている。コンパレータ 1 4 1 a の出力端は、EX-OR 素子 1 3 1 の入力端に接続されている。また、コンパレータ 1 4 1 a の一方の入力端と抵抗素子 R c 1 の出力端との間の節点と、コンパレータ 1 4 1 a の出力端と EX-OR 素子 1 3 1 との間の節点とは、可変抵抗器 R f 1 を介して接続されている。また、コンパレータ 1 4 1 a の出力端と EX-OR 素子 1 3 1 との

間の節点は、抵抗素子  $R_{p1}$  が接続されており、コンパレータ 141 a からの出力はプルアップされている。なお、ヒステリシスコンパレータ 142 の構成は、ヒステリシスコンパレータ 141 の構成と同様であるので説明は省略する。

- 5      ここで、ヒステリシスコンパレータ 141 において、電源電圧  $V_{cc}$  と、ポジティブスレシヨルド電圧  $V_p$  と、ネガティブスレシヨルド電圧  $V_n$  と、ヒステリシス電圧 ( $V_p$  と  $V_n$  との電圧差)  $V_{ht}$  との間には、次のような関係がある。ここで、ヒステリシスコンパレータ 141 に含まれる可変抵抗器  $R_{f1}$  の抵抗値を  $R_f$ 、抵抗素子  $R_{c1}$  の抵抗値
- 10      を  $R_c$  とし、基準電圧 141 b の電圧値を  $V_{ref}$  とする。なお、ヒステリシスコンパレータ 142 についても、同様の関係がある。

$$\text{式 1} \quad V_p = \frac{V_{ref}(R_c + R_f)}{R_f}$$

$$\text{式 2} \quad V_n = \frac{V_{ref}(R_c + R_f) - V_{cc}R_c}{R_f}$$

$$\text{式 3} \quad V_{ht} = V_{cc} \frac{R_c}{R_f}$$

- 15      例えば、ヒステリシスコンパレータ 141 において、電源電圧  $V_{cc}$  が 5 V、基準電圧 141 b の電圧が 2.5 V、抵抗素子  $R_{c1}$  の抵抗値  $R_c$  が 10 k $\Omega$ 、可変抵抗器  $R_{f1}$  の抵抗値  $R_f$  が 100 k $\Omega$  である場合には、ポジティブスレシヨルド電圧  $V_p$  は 2.75 V、ネガティブスレシヨルド電圧  $V_n$  は 2.25 V、ヒステリシス電圧  $V_{ht}$  は 0.5 V となる。
- 20      5 V となる。

ここで、ヒステリシスコンパレータ 141、142 に入力電圧に対しては、シュミット・トリガ型バッファ素子 111、112 に入力電圧に対して行われるのと同様の変換処理が行われる。つまり、入力電

圧が増加しつつポジティブスレシヨルド電圧 $V_p$ よりも大きくなった場合には、出力信号は「L o」の信号から「H i」の信号に切り換えられ、一方、入力電圧が減少しつつネガティブスレシヨルド電圧 $V_n$ よりも小さくなった場合に、出力信号は「H i」の信号から「L o」の信号に切り換えられる。

第21図において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節  
点X11に到達する。このとき、節点X11における周期信号には、  
第12図に示すように、所定の遅延が生じている。同様に、端子T1  
2に入力された周期信号Bは、容量素子C2と抵抗素子R2により構  
成されるCR遅延回路を通過して、節点X12に到達する。このとき  
、節点12における周期信号には、所定の遅延が生じている。したが  
って、第10図(b)と同様に、EX-OR素子131には、節点X  
11、X12における周期信号がヒステリシスコンパレータ141、  
142を通過することにより変換された矩形波信号が入力され、これ  
らの信号の間で排他的論理和演算が行われ、その結果が端子T11に  
対して出力される。このとき、端子11に対して出力される信号は、  
所定のデューティ比をもった矩形波信号である。

このように、本実施の形態の静電容量式センサ10の信号処理回路  
にヒステリシス特性を持たせるために、シュミット・トリガ型バッ  
ファ素子を利用する代わりに、ヒステリシスコンパレータを利用するこ  
とができる。そして、ヒステリシスコンパレータでは、それを構成す  
る可変抵抗器(第21図における $R_{f1}$ および $R_{f2}$ )の抵抗値を変  
更することにより、ポジティブスレシヨルド電圧 $V_p$ とネガティブスレ  
シヨルド電圧 $V_n$ との電位差であるヒステリシス電圧 $V_{ht}$ を任意に変  
更することができる。したがって、静電容量式センサの感度特性を信



号処理回路の構成によって容易に調節することが可能となる。

次に、本発明の実施の形態の第7の変形例について、図面を参照しつつ説明する。第22図は、第7の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。第22図の信号処理回路が、第1図の静電容量式センサの信号処理回路と異なる点は、容量素子C1、C2の一方の電極である変位電極40が容量素子C0を介することなく直接接地されている点である。なお、その他の構成は、第1図の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

- 10 変位電極40は、別途設けられた配線によって接地されており、基板20上に基準電極E0を形成する必要がなくなる。従って、基板20上において容量素子用電極の配線を容易に設けることができるようになる。

- なお、本発明の好適な実施の形態について説明したが、本発明は上述の実施の形態に限られるものではなく、特許請求の範囲に記載した限りにおいて、様々な設計変更を行うことが可能なものである。例えば、上述の実施の形態では、静電容量式センサの信号処理回路として、シュミット・トリガ型論理素子、シュミット・トリガ型バッファ素子、シュミット・トリガ型インバータ素子またはヒステリシスコンパ
- 20 レータを利用することによりヒステリシス特性を有する信号処理回路が用いられているが、これに限らず、本実施の形態と同様のヒステリシス特性を有する信号処理回路であれば、どのような構成のものであってもよい。

- また、上述の実施の形態では、固定された容量素子用電極に対して
- 25 変位電極が変位することにより、容量素子用電極と変位電極との間で構成される容量素子の静電容量値が変化するが、これに限らず、例え

ば、容量素子用電極および導電性部材が固定されて、その間を絶縁性部材が移動することによって容量素子用電極と導電性部材との間で構成される容量素子の静電容量値が変化するものなど、容量素子の静電容量値を変化させるための構成はどのようなものであってもよい。

- 5      また、上述の実施の形態では、X軸方向、Y軸方向、Z軸方向の3方向に対応する容量素子用電極が形成されているが、用途に合わせて必要な方向の成分だけを検出できるように容量素子用電極を形成してもよい。

## 10    産業上の利用可能性

本発明の静電容量式センサは、パソコン、携帯電話、ゲームなどの入力装置、力覚センサ、加速度センサまたは圧力センサとして利用されるのに最適である。

## 請 求 の 範 囲

1. 導電性部材と、  
前記導電性部材との間で第1の容量素子を構成する容量素子用電極  
5 と、  
前記導電性部材と電氣的に接続されるとともに、接地または一定の  
電位に保持された基準電極とを備え、  
前記第1の電極に対して入力される信号を利用して前記第1の容量  
素子の静電容量値の変化が検出されることに基づいて外部から作用し  
10 た力を認識可能であって、  
対となる2つの前記容量素子用電極を有しており、これら一对の容  
量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力  
された信号の出力信号が、ヒステリシス特性を有する信号処理回路に  
より検出されることを特徴とする静電容量式センサ。
- 15 2. 前記基準電極と前記導電性部材との間に、第2の容量素子が構成  
されていることを特徴とする請求項1に記載の静電容量式センサ。  
3. X Y Z三次元座標系を定義したときに、X Y平面を規定する基板  
と、  
前記基板と対向している検知部材と、  
20 前記基板と前記検知部材との間に位置し、前記検知部材がZ軸方向  
に変位するのにもなってZ軸方向に変位する導電性部材と、  
前記基板上に形成され、前記導電性部材との間で第1の容量素子を  
構成する容量素子用電極と、  
前記基板上に形成され、前記導電性部材との間で第2の容量素子を  
25 構成する接地または一定の電位に保持された基準電極とを備え、  
前記第1の容量素子と前記第2の容量素子とが前記容量素子用電極

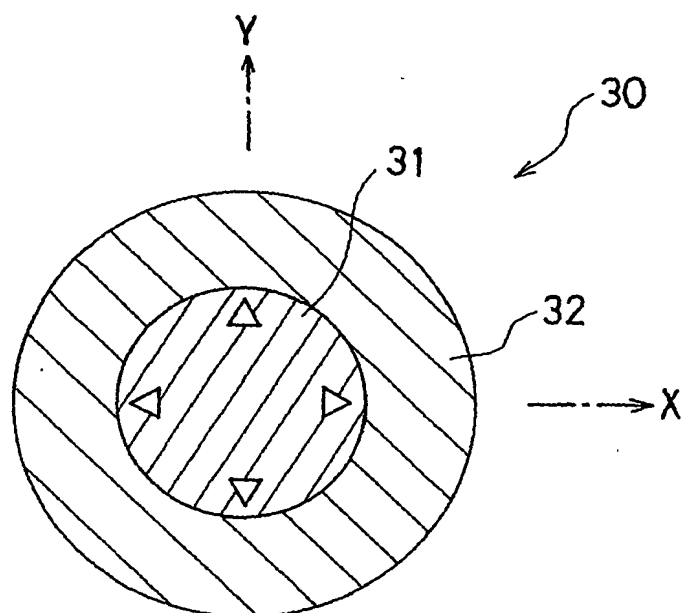
に対して入力される信号に対して直列に接続された関係となり、前記導電性部材と前記容量素子用電極との間隔の変化に起因する前記第1の容量素子の静電容量値の変化が検出されることに基づいて前記検知部材の変位を認識可能であって、

- 5 対となる2つの前記容量素子用電極を有しており、これら一对の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴とする静電容量式センサ。
4. 前記容量素子用電極が、Y軸に対して線対称に配置された一对の第1の容量素子用電極と、X軸に対して線対称に配置された一对の第2の容量素子用電極と、原点近傍に配置された第3の容量素子用電極を有していることを特徴とする請求項3に記載の静電容量式センサ。
- 10 5. 前記信号処理回路は、入力信号増加時のしきい値が入力信号減少時のしきい値よりも大きいものであることを特徴とする請求項1～4のいずれか1項に記載の静電容量式センサ。
- 15 6. 前記信号処理回路は、シュミット・トリガ型論理素子を利用したものであることを特徴とする請求項1～5のいずれか1項に記載の静電容量式センサ。
7. 前記シュミット・トリガ型論理素子が、排他的論理和演算を行うことを特徴とする請求項6に記載の静電容量式センサ。
- 20 8. 前記シュミット・トリガ型論理素子が、論理和演算を行うことを特徴とする請求項6に記載の静電容量式センサ。
9. 前記シュミット・トリガ型論理素子が、論理積演算を行うことを特徴とする請求項6に記載の静電容量式センサ。
- 25 10. 前記シュミット・トリガ型論理素子が、論理積演算および否定演算を行うことを特徴とする請求項6に記載の静電容量式センサ。

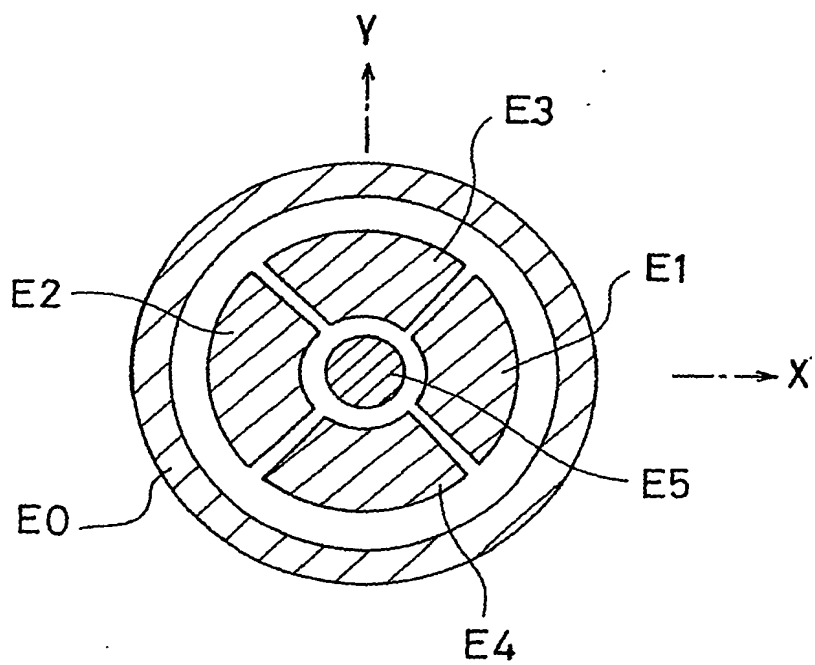
- 1 1. 前記信号処理回路は、シュミット・トリガ型バッファ素子を利用したものであることを特徴とする請求項 1～5 のいずれか 1 項に記載の静電容量式センサ。
- 1 2. 前記信号処理回路は、シュミット・トリガ型インバータ素子を利用したものであることを特徴とする請求項 1～5 のいずれか 1 項に記載の静電容量式センサ。
- 5 1 3. 前記信号処理回路は、ヒステリシスコンパレータを利用したものであることを特徴とする請求項 1～5 のいずれか 1 項に記載の静電容量式センサ。
- 10 1 4. 前記一对の容量素子用電極の一方を含む回路および他方を含む回路に、互いに位相が異なる信号が供給されることを特徴とする請求項 1～1 3 のいずれか 1 項に記載の静電容量式センサ。
- 1 5. 前記一对の容量素子用電極の一方を含む C R 回路と他方を含む C R 回路との時定数が異なることを特徴とする請求項 1～1 4 のいずれか 1 項に記載の静電容量式センサ。
- 15 1 6. 前記信号は、ハイレベルとローレベルとを周期的に繰り返す信号であって、前記信号がローレベルである時に前記第 1 の容量素子を放電させる機能を有する制御素子が備えられていることを特徴とする請求項 1～1 5 のいずれか 1 項に記載の静電容量式センサ。
- 20 1 7. 前記制御素子として、オープンコレクタ型のインバータ素子が用いられていることを特徴とする請求項 1 6 に記載の静電容量式センサ。



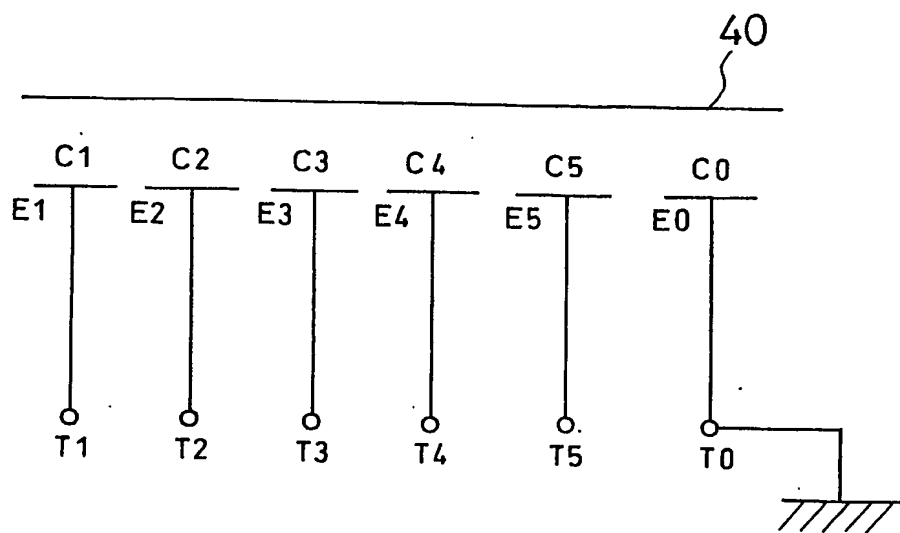
第2図



第3図

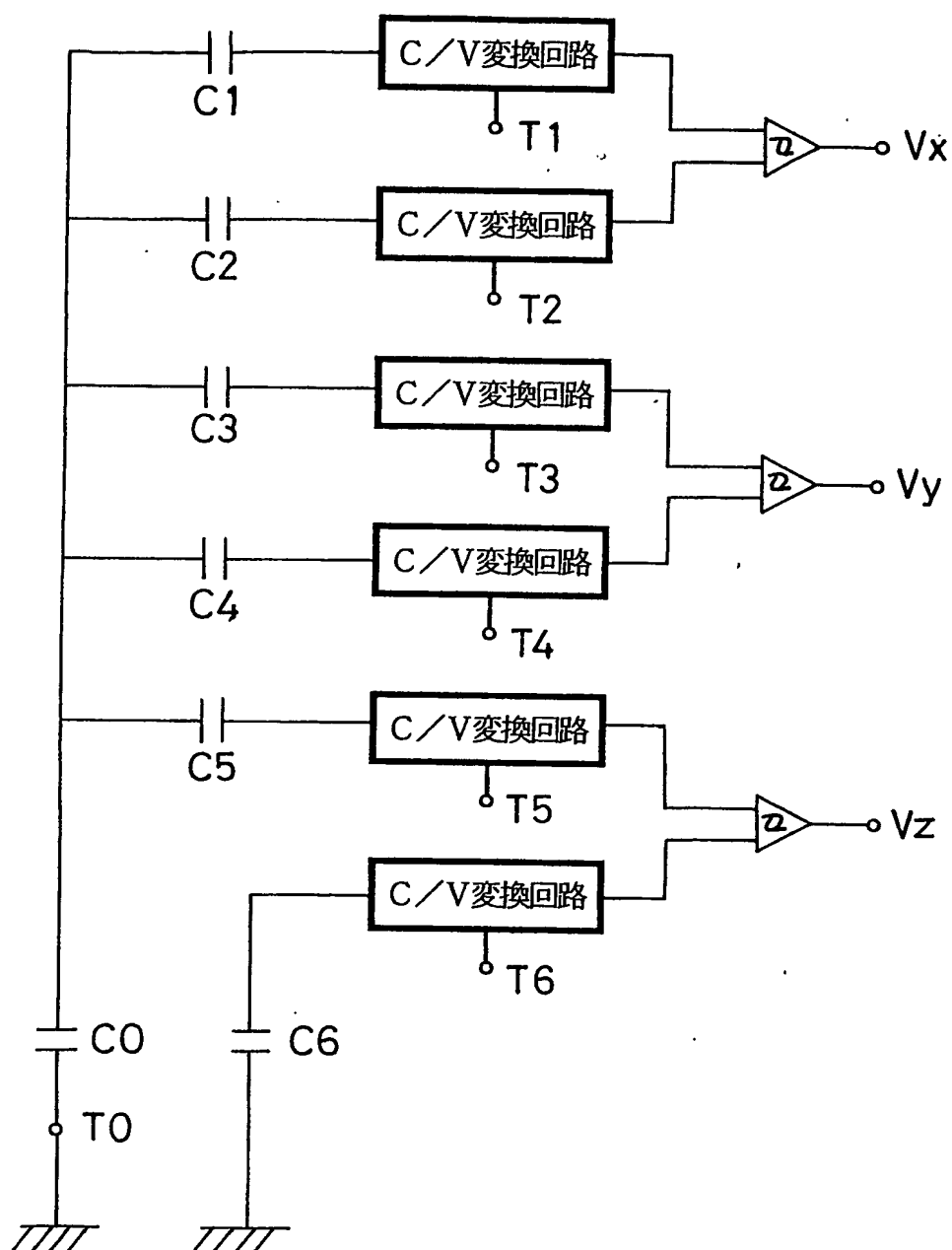


第4図

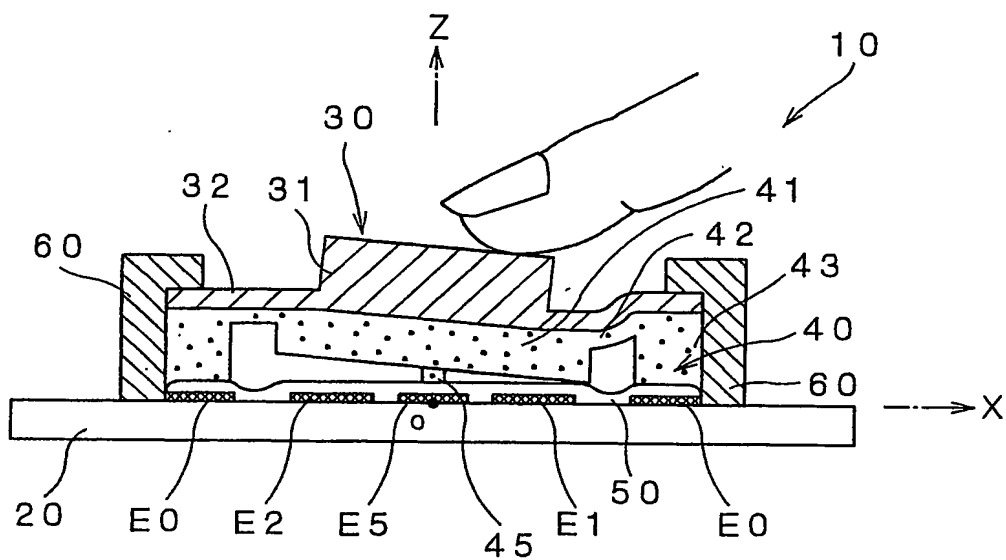




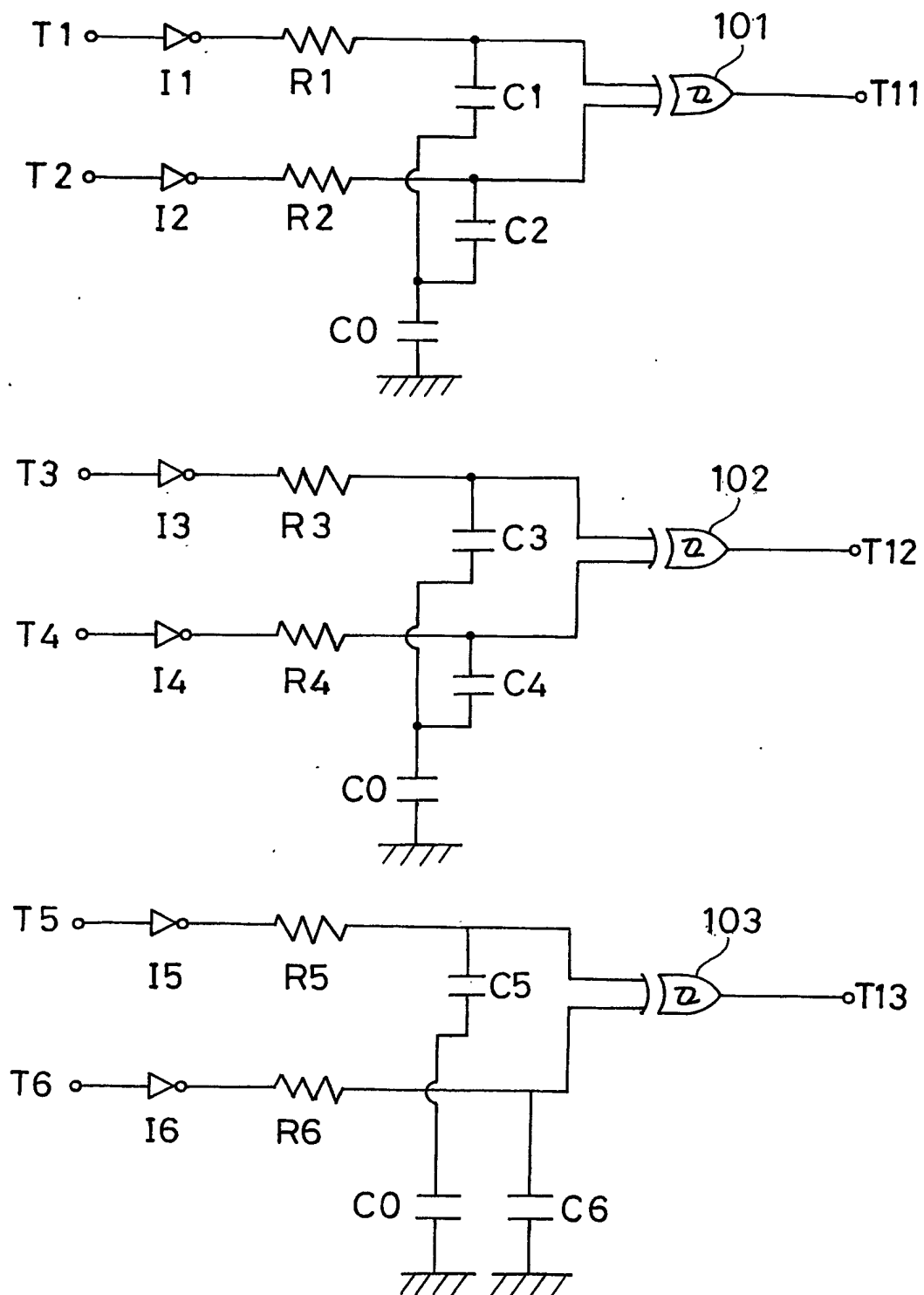
第 5 図



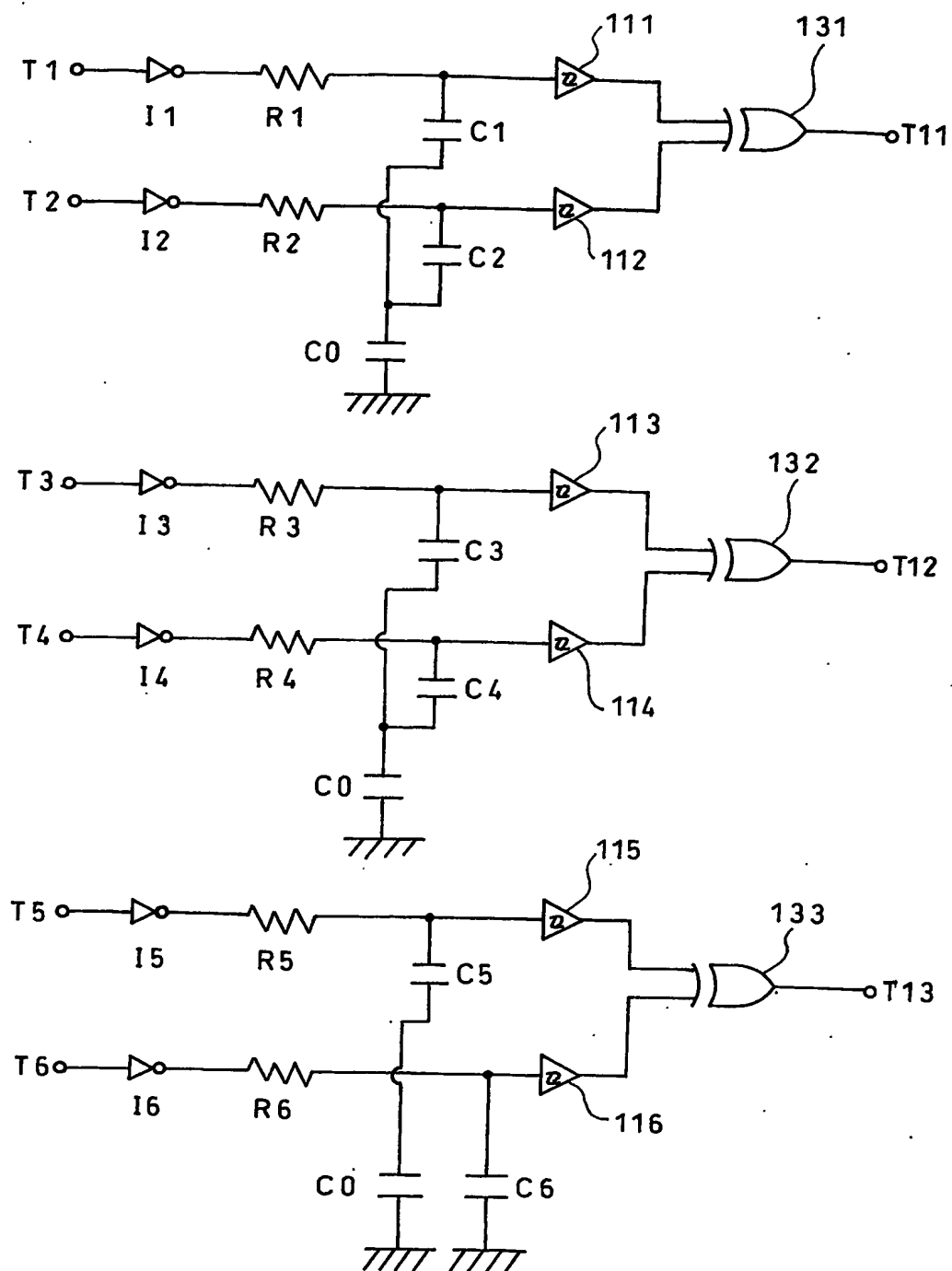
第 6 図



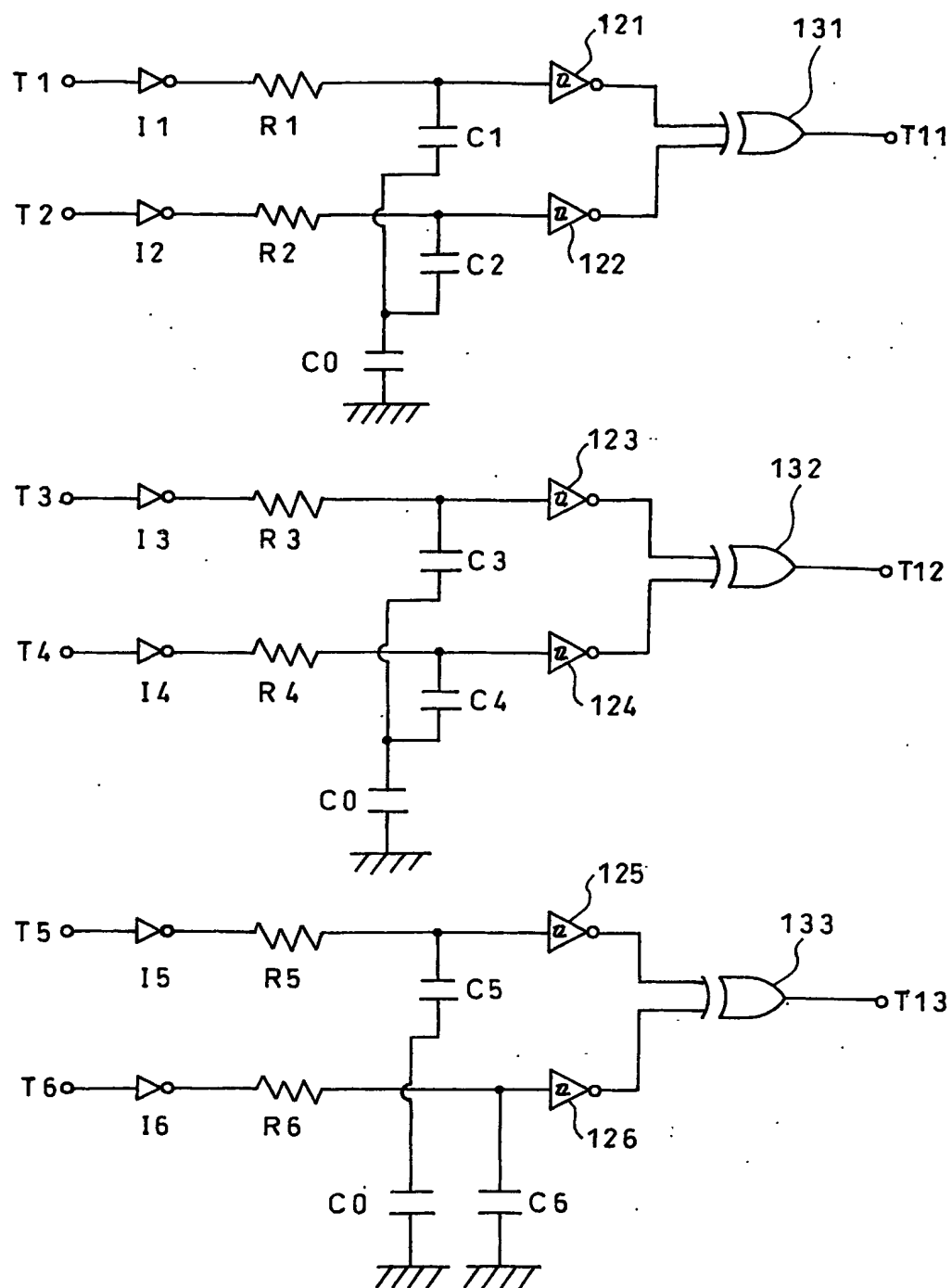
第7図



第8図

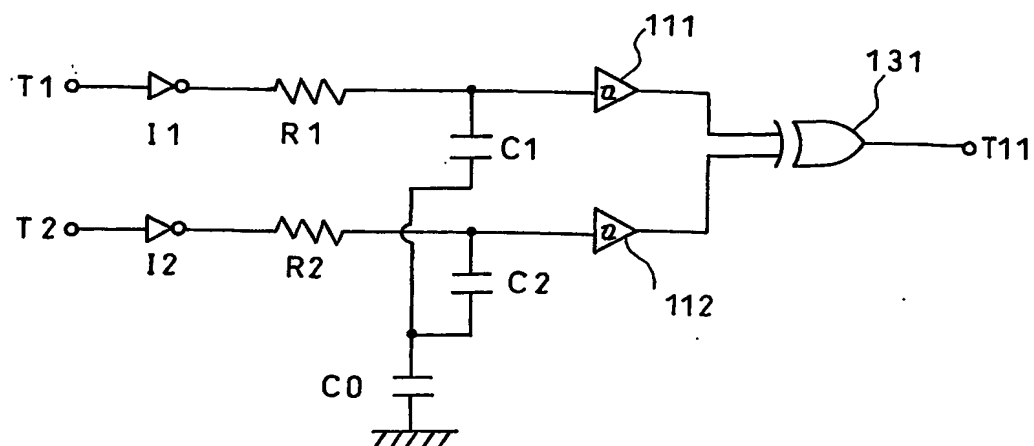


第9図

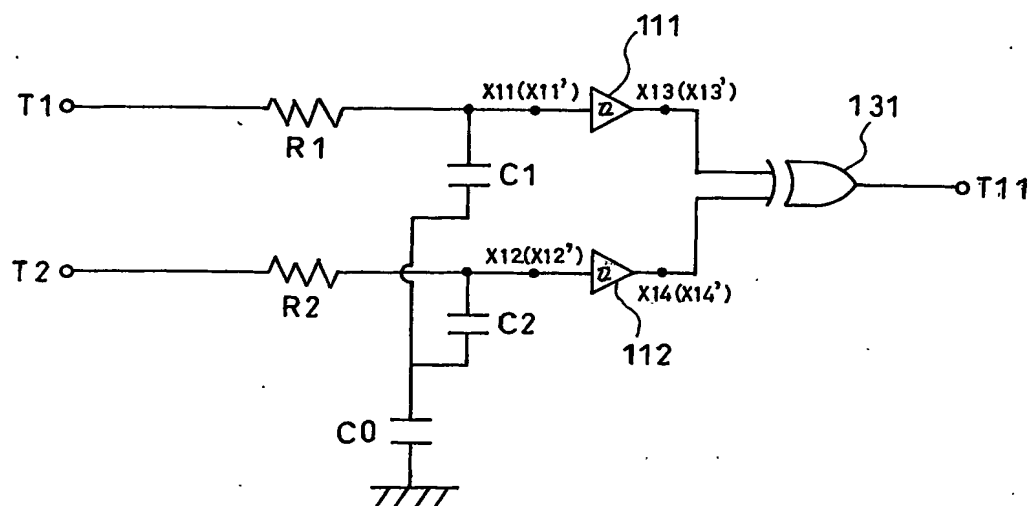


第10図

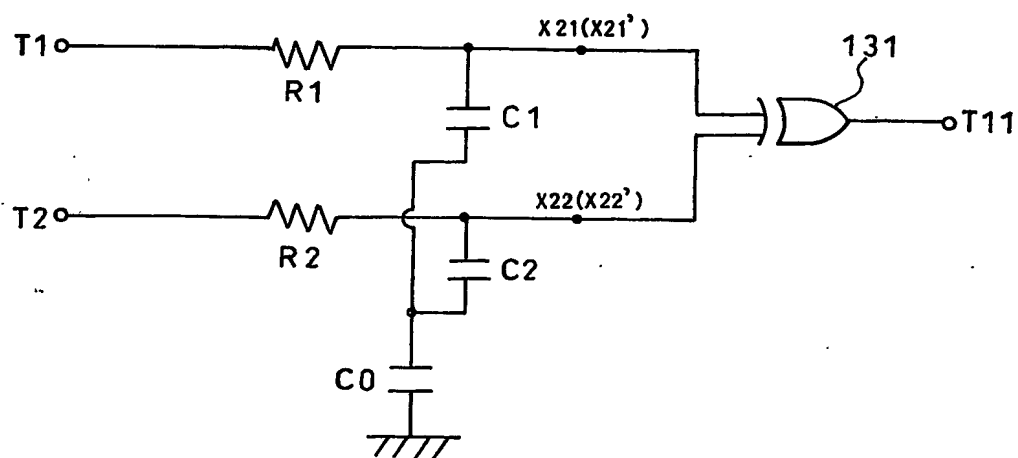
(a)



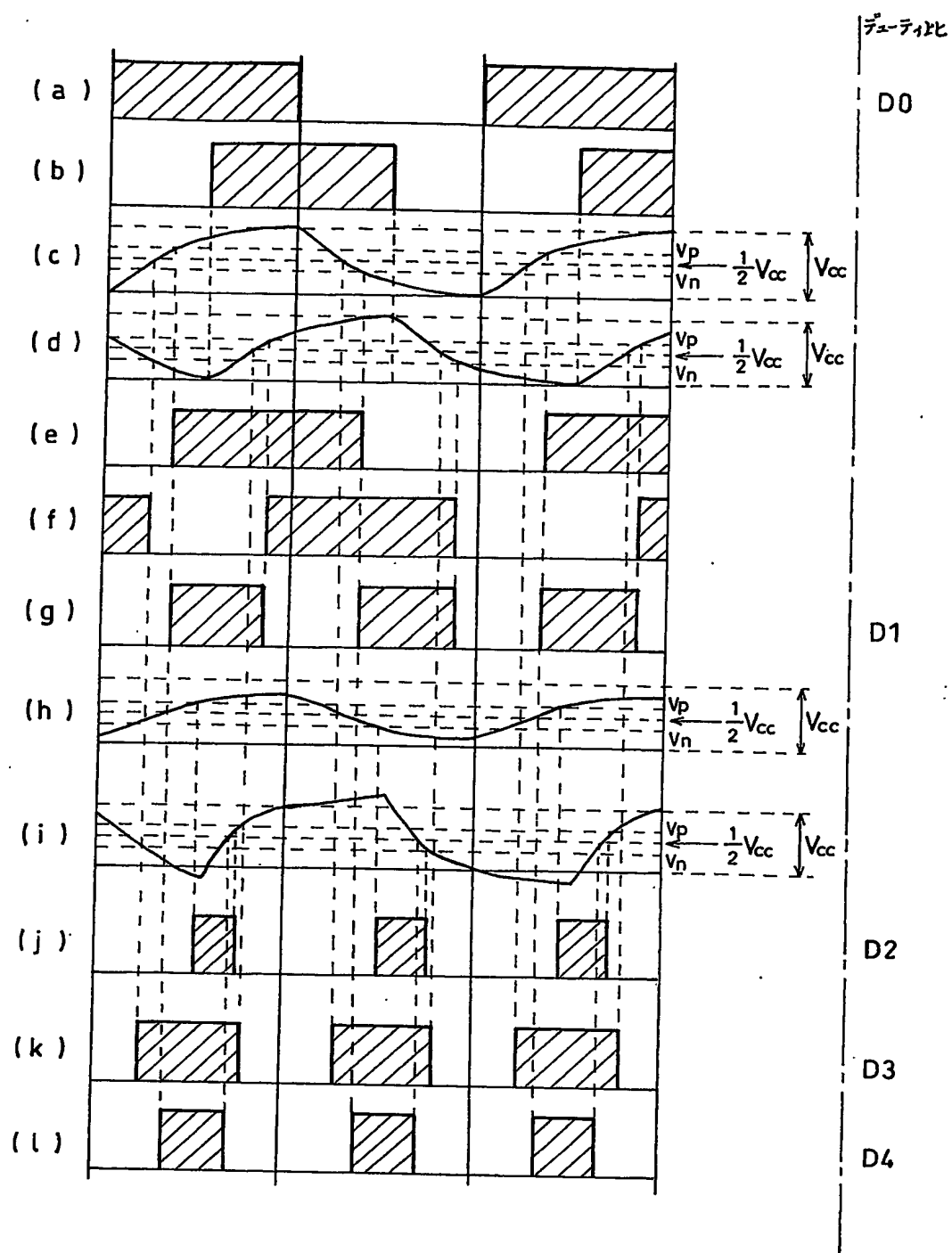
(b)



第 1 1 図

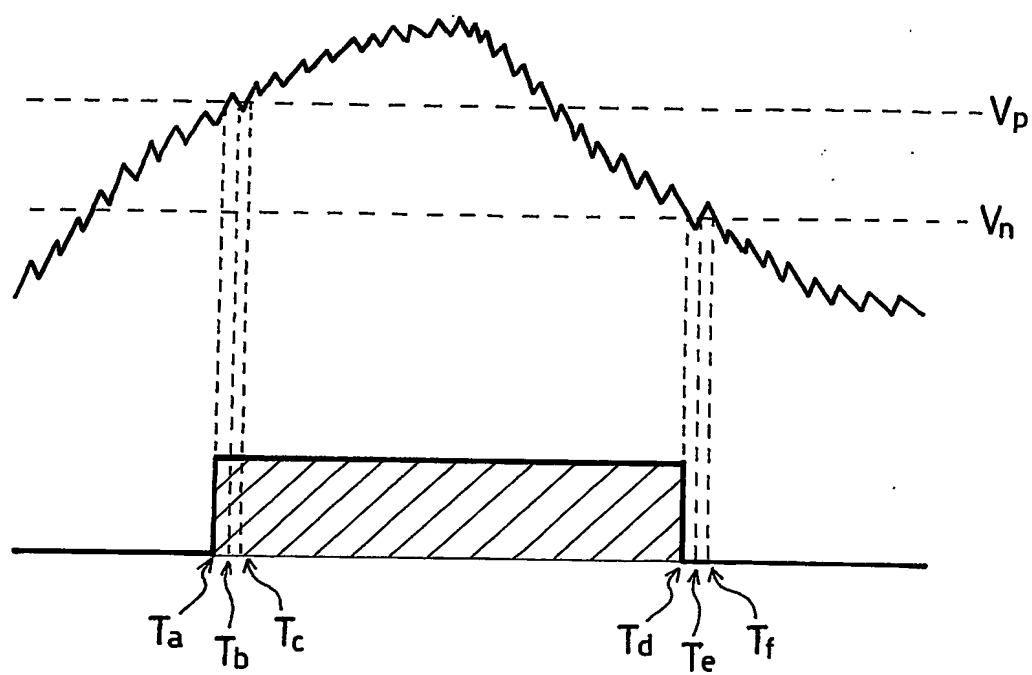


第 1 2 図

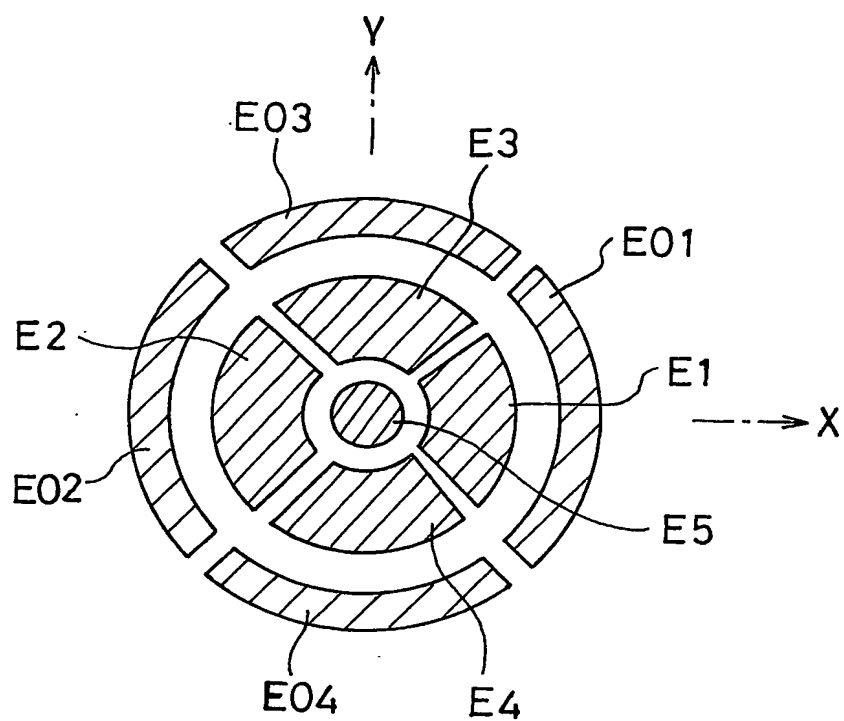




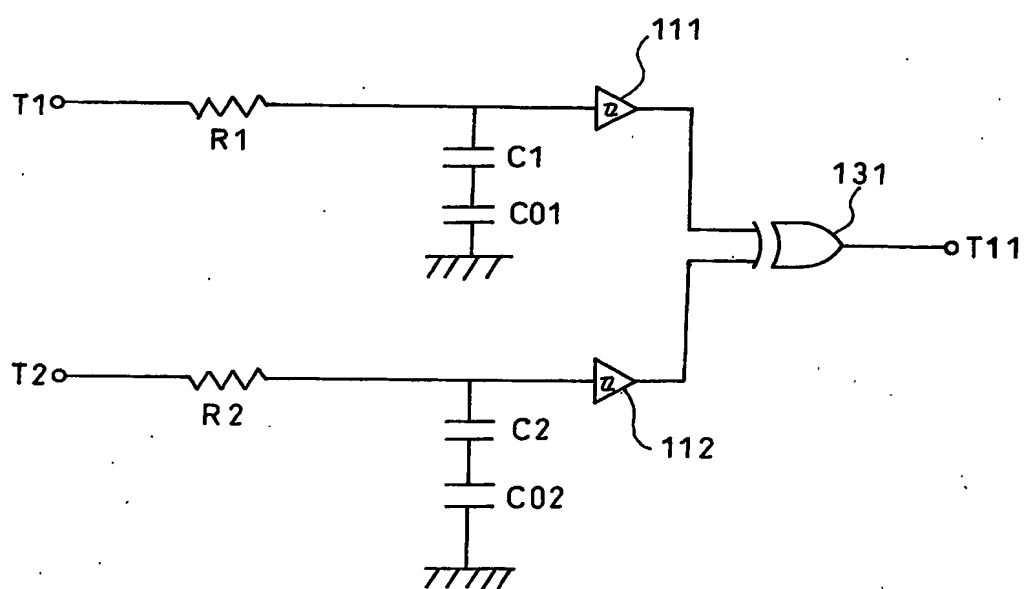
第 13 図



第 1 4 図

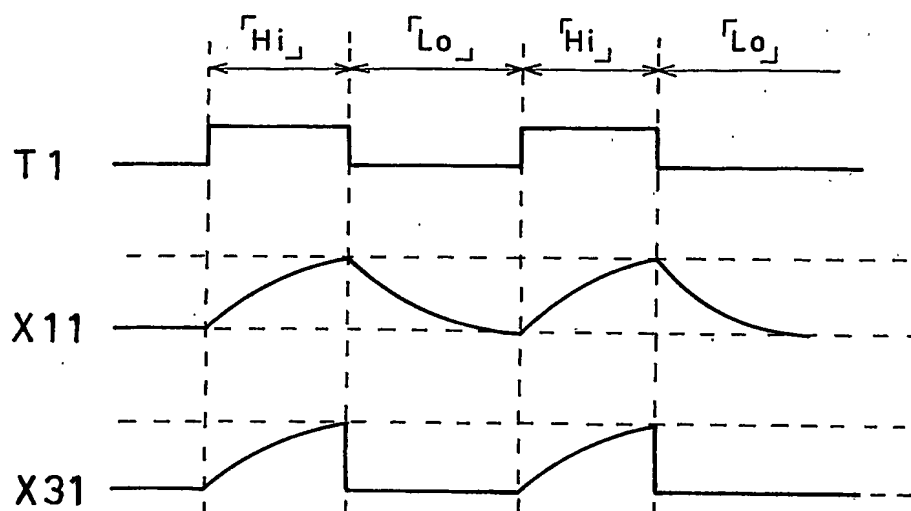


第 1 5 図

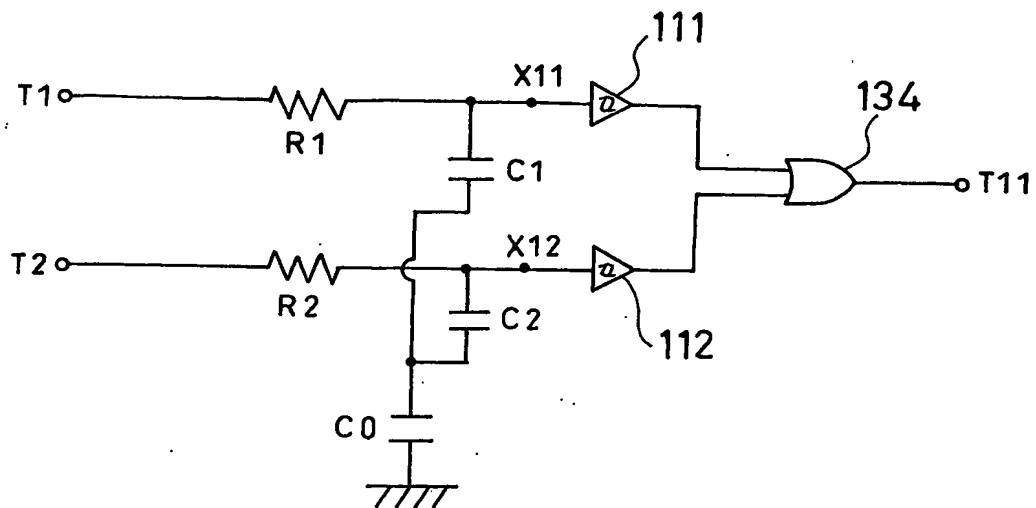




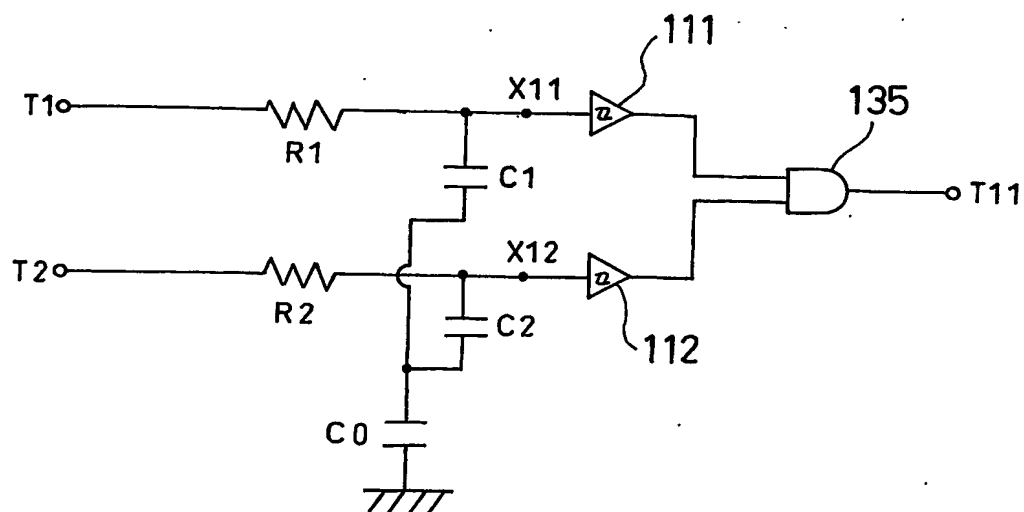
第 17 図



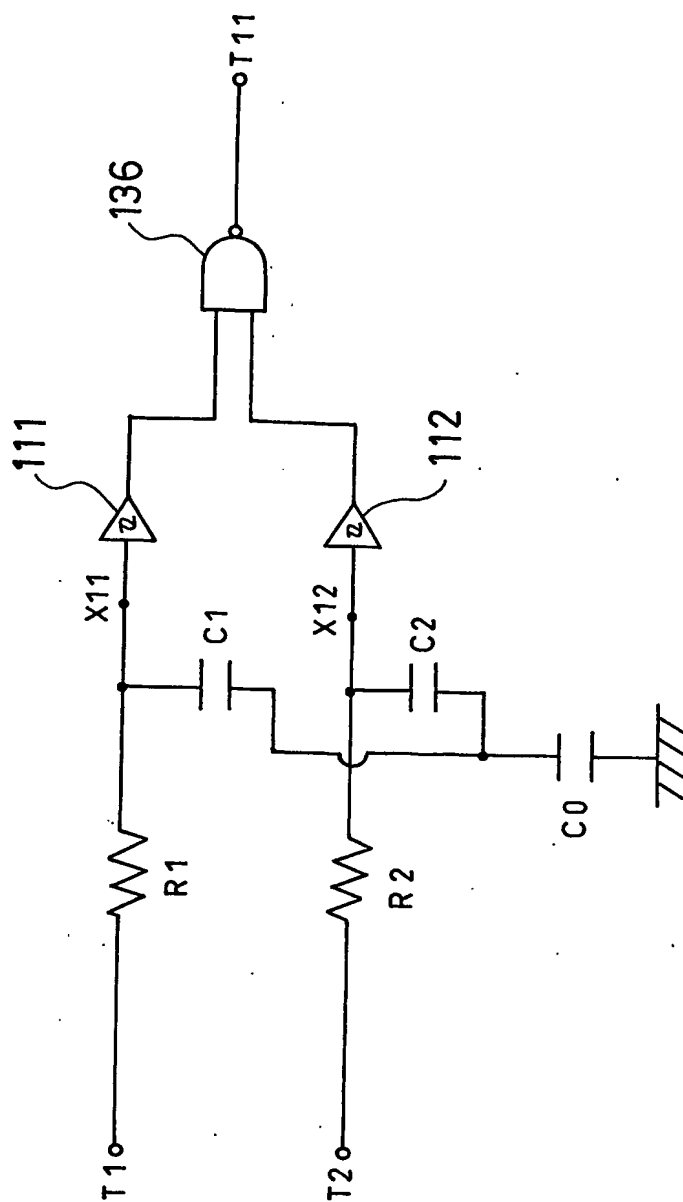
第 1 8 図



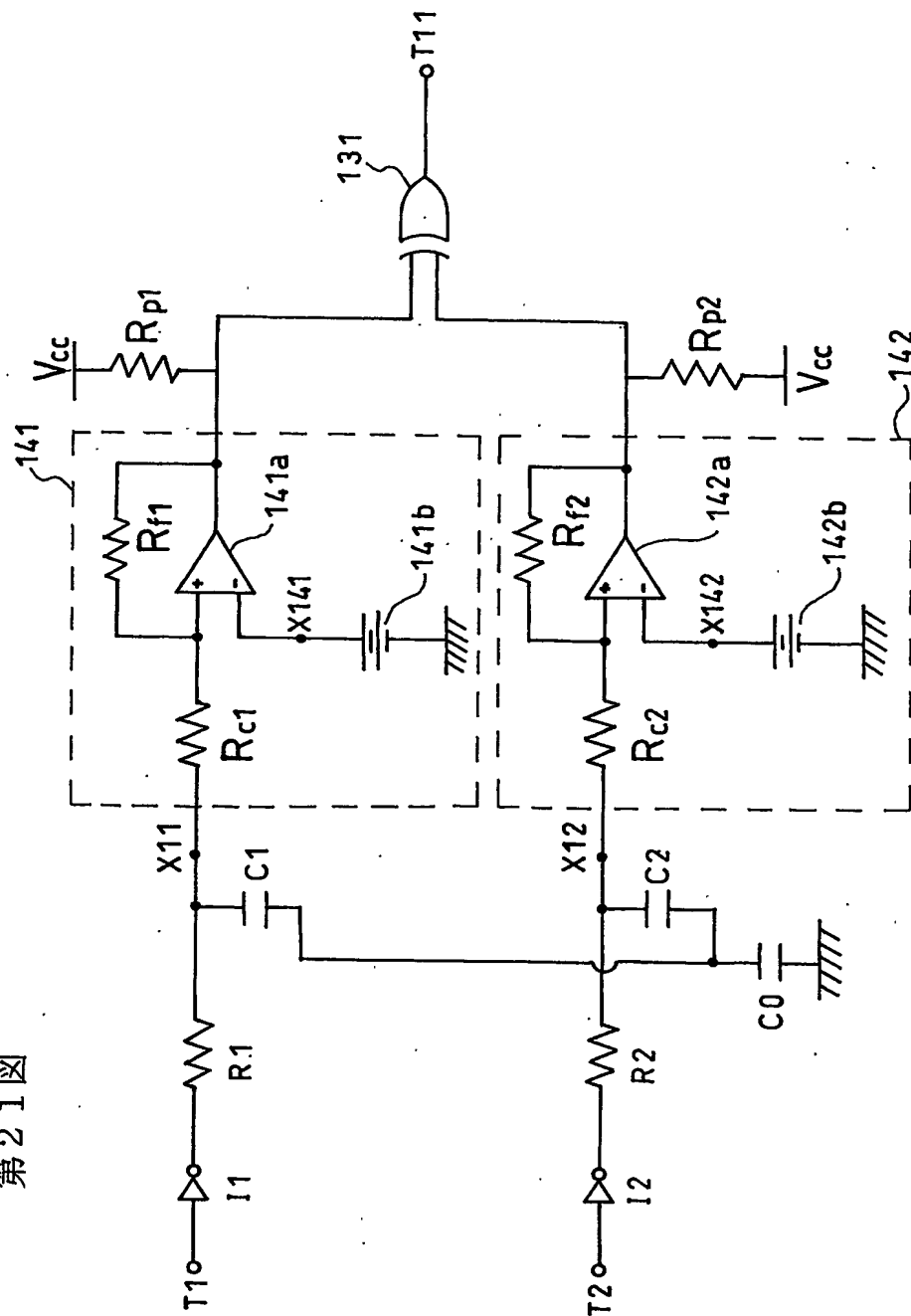
第 1 9 図



第20図

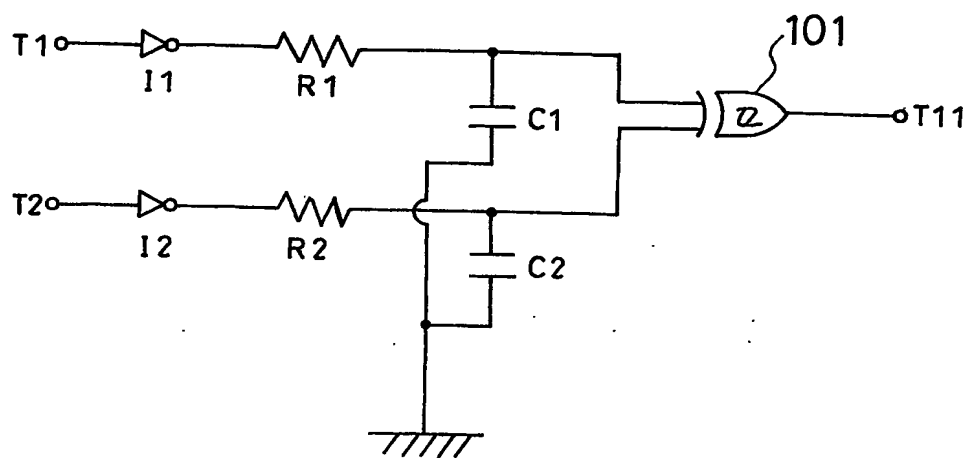


第21図





第 2 2 図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00025

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G01L1/14, G01L5/16, G06F3/033

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G01L1/14, G01L5/16, G06F3/033

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo-Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2003-35615 A (Nitta Corp.), 07 February, 2003 (07.02.03), Full text; Figs. 1 to 22 (Family: none)	1-17
Y A	JP 2001-108541 A (Nitta Corp.), 20 April, 2001 (20.04.01), Full text; Figs. 1 to 14 (Family: none)	1, 5-17 2-4
Y A	JP 2002-131149 A (Nitta Corp.), 09 May, 2002 (09.05.02), Full text; Figs. 1 to 11 (Family: none)	2, 5-17 1, 3-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
22 April, 2003 (22.04.03)

Date of mailing of the international search report  
13 May, 2003 (13.05.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00025

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 4719538 A (John D. Cox), 12 January, 1988 (12.01.88), Full text; Figs. 1 to 6 (Family: none)	1-2, 5-17 3-4
Y	JP 9-210723 A (Japan Aviation Electronics Industry Ltd.), 15 August, 1997 (15.08.97), Full text; Figs. 1 to 9 (Family: none)	14
Y	JP 9-229784 A (Kabushiki Kaisha Wako), 05 September, 1997 (05.09.97), Full text; Figs. 1 to 27 (Family: none)	15-17

## 国際調査報告

国際出願番号 PCT/JPO3/00025

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01L1/14, G01L5/16, G06F3/033

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01L1/14, G01L5/16, G06F3/033

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EX	JP 2003-35615 A (ニッタ株式会社) 2003.02.07, 全文, 第1-22図 (ファミリーなし)	1-17
Y	JP 2001-108541 A (ニッタ株式会社) 2001.04.20, 全文, 第1-14図 (ファミリーなし)	1,5-17
A		2-4
Y	JP 2002-131149 A (ニッタ株式会社) 2002.05.09, 全文, 第1-11図 (ファミリーなし)	2,5-17
A		1,3-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に関する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

22.04.03

国際調査報告の発送日

13.05.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松浦 久夫



2F 9613

電話番号 03-3581-1101 内線 3216

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 4719538 A (John D. Cox) 1988. 01. 12 全文, 第1-6図 (ファミリーなし)	1-2, 5-17
A		3-4
Y	JP 9-210723 A (日本航空電子工業株式会社) 1997. 08. 15 全文, 第1-9図 (ファミリーなし)	14
Y	JP 9-229784 A (株式会社ワコー) 1997. 09. 05 全文, 第1-27図 (ファミリーなし)	15-17